

一种高精度流水线 ADC 系统设计与建模方法^{*}

张华盛^{1,2} 宋树祥^{1,2} 蔡超波^{1,2}(1. 广西师范大学电子与信息工程学院/集成电路学院 桂林 541004;
2. 广西高校集成电路与微系统重点实验室 桂林 541004)

摘要: 针对传统模数转换器(analog to digital convertor, ADC)设计复杂度高、仿真迭代时间长的问题,提出了一种高精度 ADC 系统设计与建模方法。该方法以 10 bit 50 MHz 流水线 ADC 为例,首先选取分离采样架构,进行电路的 s 域变换理论分析;其次对电路中各种非理想噪声的表达式进行精确推导,根据系统中的运放功耗指标进行参数优化;最后分别在 MATLAB 和 Cadence 软件中建立模型,进行 100 点蒙特卡洛仿真。仿真结果表明,在 TSMC 180 nm 工艺失配下,该流水线 ADC 有效位数达到 9.70 bit,无杂散动态范围维持在 76 dB 附近,微分非线性在 0.3 LSB 以内,积分非线性在 0.5 LSB 以内,核心功耗在 8 mW,该分析方法在保证流水线 ADC 优异性能的同时,大幅提高了设计效率。

关键词: 流水线 ADC; 电路 s 域分析; 功耗优化; MATLAB 建模; VerilogA 建模

中图分类号: TN432 **文献标识码:** A **国家标准学科分类代码:** 510.3040

High precision pipeline ADC system design and modeling method

Zhang Huasheng^{1,2} Song Shuxiang^{1,2} Cai Chaobo^{1,2}(1. School of Electronic and Engineering/School of Integrated Circuits, Guangxi Normal University, Guilin 541004, China;
2. Key Laboratory of Integrated Circuits and Microsystems (Guangxi Normal University), Education Department of Guangxi Zhuang Autonomous Region, Guilin 541004, China)

Abstract: A high-precision ADC system design and modeling method is proposed to address the high design complexity and long simulation iteration time issues of traditional analog to digital converter (ADC). This method takes a 10 bit 50 MHz pipeline ADC as an example. Firstly, a separate sampling architecture is selected for the s -domain transformation theory analysis of the circuit. Secondly, the expressions of various non ideal noise in the circuit are accurately derived, and parameter optimization is carried out based on the operational amplifier power consumption indicators in the system. Finally, models were established in MATLAB and Cadence software for 100 points Monte Carlo simulation. The simulation results showed that under the TSMC 180 nm process mismatch, the effective bit of the pipeline ADC reached 9.70 bit, the spurious free dynamic range was maintained around 76 dB, the differential nonlinearity was within 0.3 LSB, the integral nonlinearity was within 0.5 LSB, and the core power consumption was 8 mW. This analysis method not only ensures the excellent performance of the pipeline ADC, but also, Significantly improved design efficiency.

Keywords: pipeline ADC; circuit s -domain analysis; power optimization; MATLAB modeling; VerilogA modeling

0 引言

作为模拟世界和数字世界直接沟通和转化的桥梁,模数转换器已经逐步成长为通信和采样系统的重要组成部分

分,同时宽带通信系统也对高速中低分辨率的模数转换器(analog to digital converter, ADC)提出了更高的要求^[1-2]。流水线 ADC 结构在采样率、分辨率、功耗三者之间提供了很好的平衡^[3],其受到了研究人员越来越多的关注。传统

收稿日期:2023-09-18

^{*} 基金项目:国家自然科学基金(62061005)、广西自然科学基金(2022GXNSFBA035646)、广西创新驱动发展专项(AA19254001)资助

上,国内外有关流水线 ADC 的研究大多着重于具体电路的设计细节,直接利用仿真工具进行分析,达到相对较好的性能,2022 年赵鹏等^[4]利用 spectre 仿真 ADC 时,没有对电路中的非线性因素进行行为级模型建立,导致无杂散动态范围性能较差,同时仿真速度也会很慢。也有很多研究侧重于模型建立,王晓岚等^[5]和王玉娇等^[6]对 ADC 进行 Simulink 行为级模型分析,相较于对比文献性能有显著提升,但行为级模型还不够准确,未进一步建立更贴近实际电路的建模分析,设计精度与实际情况还是有一定差距。有些研究尝试采用校准算法来优化性能,2022 年丁博文等^[7]利用校准算法降低非线性误差,提高精度的同时,也恶化了整体芯片功耗。使用系统级设计建模等顶层设计方法来衡量电路非理想因素,能够带来设计芯片的性能平衡^[8]。

针对上述流水线 ADC 设计精度差、仿真时间长、功耗开销大等问题,本文提出的设计建模方法能够有效地提高这些性能。首先对流水线 ADC 主体电路进行详细的电路 s 域变换分析,推导精确的传递函数并优化了系统功耗得到各种参数;使用 MATLAB 纯代码形式来进行 ADC 建模分析,这种方式能够获得比 MATLAB Simulink 更快的速度;更进一步地,使用 VerilogA 语言进行 ADC 建模,在 Cadence 软件中仿真验证,高效地指导了 ADC 系统设计。

1 流水线 ADC 基本原理

流水线 ADC 由多个子系统级联构成,前级经过粗量化,将余量信息传递给后级,后级经过更细微的量化,继续向下一级传递信息。流水线的每级还可以生成多位,位数可以相同也可以不同,这取决于设计权衡^[9]。流水线 ADC 基本结构如图 1 所示,经过时序控制对准,将每级输出的数字码进行总和,得到流水线 ADC 总数字码输出,从而实现将连续的模拟输入信号离散化为数字信号,便于数字信号处理^[10-12]。

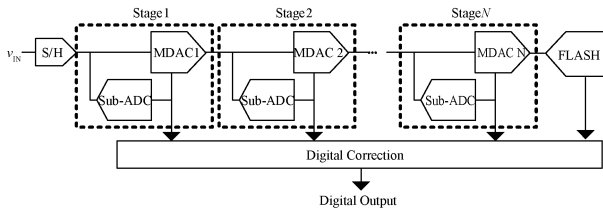


图 1 流水线 ADC 基本结构

在流水线 ADC 中,通常需要在输入信号端引入采样和保持放大器(sampling and holding amplifier,SHA)来精确采样输入信号,去除前端采样保持功能^[13],通常被称为“SHA-Less”。采用 SHA-Less 结构,在某些情况下可以降低 25% 的功耗^[14]。每级的位数是功率优化的另一个重要设计参数^[15]。

为了降低功耗,本文选取 SHA-Less 结构,为了提高精度,采用 2.5 bit 分离采样余量增益单元(multiplying

digital-to-analog converter,MDAC)架构。

2 2.5 bit 分离采样 MDAC 电路

2.1 传递函数推导

2.5 bit 分离采样 MDAC 结构及时序如图 2(a) 所示,其中 C_{sp} 和 C_{sn} 为采样电容, C'_{sp} 和 C'_{sn} 为下一级采样电容, C_{dpi} 和 C_{dni} 为 sub-DAC 电容,共 8 组,根据比较器结果来控制开关,实现正确的余量输出曲线; C_{fp} 和 C_{fn} 为反馈电容, C_{inp} 和 C_{imn} 为寄生电容; V_{CM} 和 V_{OCM} 分别为运放输入、输出共模电压。在采样阶段 (Φ_1 为高电平阶段), C_{sp} 和 C_{sn} 分别进行输入信号采样,sub-DAC 电容采样参考电压 V_{RP} 和 V_{RN} , 在时刻 t_1 时得到表达式为:

$$v_{csp}(t_{1-}) = v_{IP}(t_{1-}) - V_{CM} \quad (1)$$

$$v_{csn}(t_{1-}) = v_{IN}(t_{1-}) - V_{CM} \quad (2)$$

$$v_{cdpi}(t_{1-}) = V_{RP} - V_{CM} \quad (3)$$

$$v_{cdni}(t_{1-}) = V_{RN} - V_{CM} \quad (4)$$

$$v_{cfp}(t_{1-}) = v_{cfn}(t_{1-}) = V_{CM} - V_{OCM} \quad (5)$$

在放大阶段 (Φ_{2D} 为高电平阶段),比较器输出结果 (D 为 0~8)控制 sub-DAC 中的开关导通。放大阶段的 s 域等效电路如图 2(b) 所示,其中 $V_X(s)$ 和 $V_Y(s)$ 为运放输入节点电压, $V_O(s)$ 为输出差分电压,记运放反向输入端为点 X,同向输入端为点 Y,对点 X、Y 列节点电压方程为:

$$\begin{aligned} & V_X(s) \left(s \frac{C_{sp}C_{sn}}{C_{sp} + C_{sn}} + sC_{inp} + sC_{fp} + s \sum_{i=1}^8 \frac{C_{dpi}C_{dni}}{C_{dpi} + C_{dni}} \right) - \\ & V_Y(s) \left(s \frac{C_{sp}C_{sn}}{C_{sp} + C_{sn}} + s \sum_{i=1}^8 \frac{C_{dpi}C_{dni}}{C_{dpi} + C_{dni}} \right) = \\ & \left[\frac{v_{csn}(t_{1-}) - v_{csp}(t_{1-})}{s} \right] s \frac{C_{sp}C_{sn}}{C_{sp} + C_{sn}} + \\ & \left[\frac{v_{dni}(t_{1-}) - v_{dpi}(t_{1-})}{s} \right] s \sum_{i=D+1}^8 \frac{C_{dpi}C_{dni}}{C_{dpi} + C_{dni}} + \\ & \left[\frac{v_{dpi}(t_{1-}) - v_{dni}(t_{1-})}{s} \right] s \sum_{i=1}^D \frac{C_{dpi}C_{dni}}{C_{dpi} + C_{dni}} + \\ & \left[V_{OP}(s) + \frac{v_{cfp}(t_{1-})}{s} \right] sC_{fp} + \left[\frac{v_{cnp}(t_{1-})}{s} \right] sC_{inp} \quad (6) \end{aligned}$$

$$\begin{aligned} & V_Y(s) \left(s \frac{C_{sp}C_{sn}}{C_{sp} + C_{sn}} + sC_{imn} + sC_{fn} + s \sum_{i=1}^8 \frac{C_{dpi}C_{dni}}{C_{dpi} + C_{dni}} \right) - \\ & V_X(s) \left(s \frac{C_{sp}C_{sn}}{C_{sp} + C_{sn}} + s \sum_{i=1}^8 \frac{C_{dpi}C_{dni}}{C_{dpi} + C_{dni}} \right) = \\ & \left[\frac{v_{csp}(t_{1-}) - v_{csn}(t_{1-})}{s} \right] s \frac{C_{sp}C_{sn}}{C_{sp} + C_{sn}} + \\ & \left[\frac{v_{dpi}(t_{1-}) - v_{dni}(t_{1-})}{s} \right] s \sum_{i=D+1}^8 \frac{C_{dpi}C_{dni}}{C_{dpi} + C_{dni}} + \\ & \left[\frac{v_{dni}(t_{1-}) - v_{dpi}(t_{1-})}{s} \right] s \sum_{i=1}^D \frac{C_{dpi}C_{dni}}{C_{dpi} + C_{dni}} + \\ & \left[V_{ON}(s) + \frac{v_{cfn}(t_{1-})}{s} \right] sC_{fn} + \left[\frac{v_{cim}(t_{1-})}{s} \right] sC_{imn} \quad (7) \end{aligned}$$

输出电压关系以及运放输入输出关系为:

$$V_O(s) = V_{OP}(s) - V_{ON}(s) \quad (8)$$

$$V_{OP}(s) = \frac{V_{OCM}}{s} + \frac{1}{2}V_O(s) \quad (9)$$

$$V_{ON}(s) = \frac{V_{OCM}}{s} - \frac{1}{2}V_O(s) \quad (10)$$

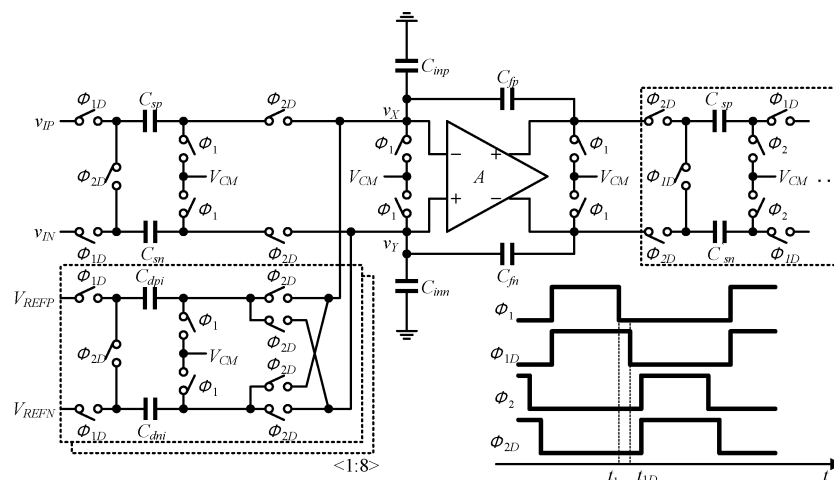
$$\left[V_Y(s) - V_X(s) - \frac{V_{OS}}{s} \right] A(s) = V_O(s) \quad (11)$$

式中: V_{OS} 为运放输入端失调电压。假设运放为单极点系统, 则 $A(s)$ 表达式为:

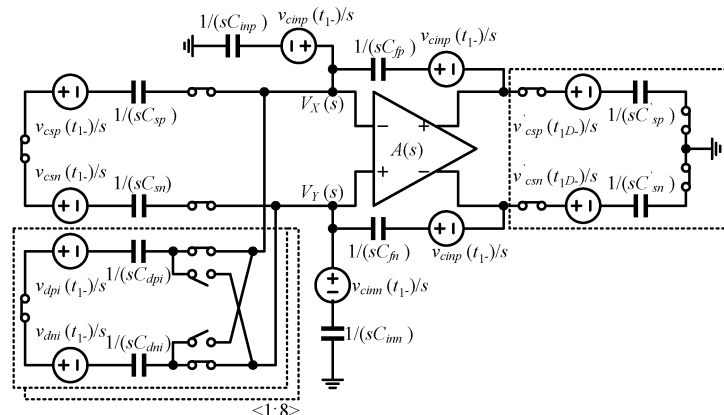
$$A(s) = \frac{A_0}{1 + \frac{s}{p_1}} \quad (12)$$

式中: A_0 为低频增益, p_1 为主极点。联立以上方程, 并利用拉普拉斯反变换, 解得:

$$V_O(t) = \frac{\beta A_0}{1 + \beta A_0} [1 - e^{-(1 + \beta A_0) p_1 t}] \times \left[\frac{C_{inp} + C_{fp} + C_{inn} + C_{fn}}{C_{fp} C_{fn} + \frac{C_{fp} C_{inn} + C_{fn} C_{inp}}{2}} \times \left[\frac{C_{sp} C_{sn}}{C_{sp} + C_{sn}} (v_{IP}(t_{1-}) - v_{IN}(t_{1-})) + \left(\sum_{i=D+1}^8 \frac{C_{dpi} C_{dni}}{C_{dpi} + C_{dni}} - \sum_{i=1}^D \frac{C_{dpi} C_{dni}}{C_{dpi} + C_{dni}} \right) \cdot (V_{RP} - V_{RN}) - \frac{V_{OS}}{\beta} \right] \right] \quad (13)$$



(a) 电路结构及时序



(b) 放大阶段s域变换电路

图2 2.5 bit 分离采样 MDAC 结构

其中:

$$\beta = \frac{C_{fp} C_{fn} + \frac{C_{fp} C_{inn} + C_{fn} C_{inp}}{2}}{\left[\left(\frac{C_{sp} C_{sn}}{C_{sp} + C_{sn}} + \sum_{i=1}^8 \frac{C_{dpi} C_{dni}}{C_{dpi} + C_{dni}} \right) (C_{inp} + C_{fp} + C_{inn} + C_{fn}) + (C_{inp} + C_{fp})(C_{inn} + C_{fn}) \right]} \quad (14)$$

2.2 非理想噪声分析

非线性和噪声是影响流水线 ADC 精度的主要因素^[16], 抖动(jitter)噪声、开关电阻热噪声、运放噪声推导如下。

1) 时钟 jitter 噪声

由于电路中存在噪声, 时钟在 t_{1-} 采样时刻会有一定程度的抖动, 称为时钟 jitter, 如图 3 所示。时钟抖动的存在, 使得采样时刻不确定, 等效于采样到的信号存在误差,

MDAC 输入差分信号 ($v_{IP} - v_{IN}$) 产生的误差为:

$$V_j = k \times t_j = \frac{d(v_{IP} - v_{IN})}{dt}(t_{1-}) \times t_j \quad (15)$$

式中: k 为 t_{1-} 时刻输入信号的切线斜率; t_j 为时钟抖动噪声的均方根值。

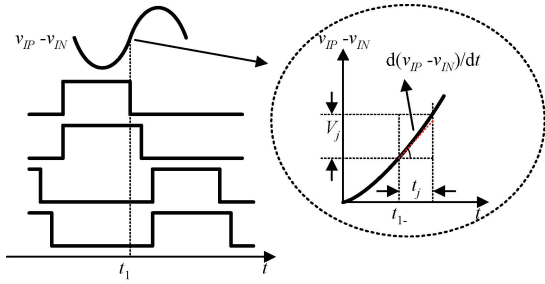


图3 时钟抖动示意图

在采样时刻,当时钟存在 jitter 时,等效到 MDAC 输入端的 jitter 噪声表达式为:

$$\overline{v_{n,in}^2} = k \times t_j = \left[\frac{d(v_{IP} - v_{IN})}{dt}(t_{1-}) \right]^2 \times \sigma_j^2 \quad (16)$$

式中: σ_j^2 为 t_j 的方差。对于正弦信号 $V_{in} = A \sin(\omega_{in} t)$, jitter 噪声功率为:

$$P_{jitter} = \frac{A^2 \omega_{in}^2}{2} \times \sigma_j^2 \quad (17)$$

2) 开关的导通电阻引入的噪声

电阻热噪声在频率上均匀分布,谱密度为 $4kTR$,其中 k 为玻尔兹曼常数, T 代表绝对温度, R 为开关的电阻值。基本电路由单个 MOS 开关和电容构成,将输入信号置零, MOS 开关等效为理想导通电阻和理想开关串联,并引入电阻噪声电压源,如图 4 所示。当开关导通时,通过分析总噪声功率可以分析噪声的大小。由 Parseval 定理变形可知,样本的总功率必须等于热平衡噪声过程的 PSD 在所有频率上的积分,计算得到总噪声表达式为:

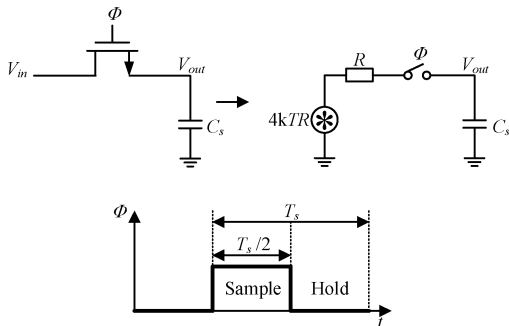


图4 基本采样电路等效分析及时序图

$$\overline{v_{out}^2} = \int_0^\infty 4kTR \left| \frac{1}{1 + j\omega RC} \right|^2 df = 4kTR \times \frac{1}{4RC} = \frac{kT}{C} \quad (18)$$

统计学中的均分定理表明,任何能量存储元素在热平

衡状态下的平均噪声能量为 $kT/2$ 。使用均分定理可以更快的得到:

$$\frac{1}{2} C \overline{v_{out}^2} = \frac{kT}{C} \quad (19)$$

整理后与上述公式结论一致。

利用以上原理方法,分析 MDAC 在采样阶段的开关电阻热噪声贡献。在采样阶段 (Φ_1 为高电平阶段),由 Φ_1 和 Φ_{1D} 控制的开关导通,将这些开关的噪声电荷存储于各电容极板上,由能量均分定理可知:

$$\frac{1}{2} \frac{\overline{q_x^2}}{(C_s + \sum_{i=1}^8 C_d + C_f + C_{in}) \times 2} = \frac{kT}{2} \quad (20)$$

因此,可以计算出所有电容上的存储的总噪声电荷表达式为:

$$\overline{q_x^2} = 2kT (C_s + \sum_{i=1}^8 C_d + C_f + C_{in}) \quad (21)$$

3) 运放引入的噪声

在放大阶段 (Φ_{2D} 为高电平阶段),假设由运放的带宽限制电路速度,则在放大阶段的开关导通电阻对带宽的影响可忽略。对运放噪声分析如图 5 所示。运放等效输入噪声功率谱 $S_{v,in}(f) = 4kT\gamma N_{op}/g_m$, N_{op} 为噪声归一化到输入管的系数, γ 为沟道系数。单极点运放在输出端的噪声表达式为:

$$\overline{v_{n,out}^2} = \int_0^\infty S_{v,in}(f) 4kTR \left| \frac{A(s)}{1 + \beta A(s)} \right|^2 df = \frac{1}{\beta} \frac{kT}{C_{eq}} \gamma N_{op} \quad (22)$$

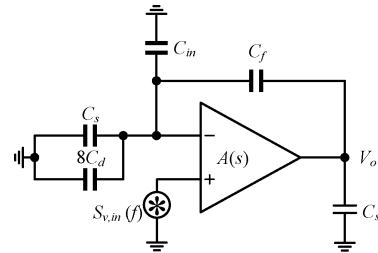


图5 运放噪声分析电路

若运放为两极点系统,仅需将式(22)中的 C_{eq} 替换为 C_c, C_c 为两级运放中的密勒补偿电容。

因此,在全差分 MDAC 电路中,将两级运放噪声等效到输入端,并引入 jitter 噪声、采样开关电阻热噪声,得到整个 MDAC 的总等效输入噪声表达式为:

$$\overline{v_{in,tot}^2} = \left[\frac{d(v_{IP} - v_{IN})}{dt}(t_{1-}) \right]^2 \times \sigma_j^2 + \frac{2kT (C_s + \sum_{i=1}^8 C_d + C_f + C_{in})}{C_s^2} + 2 \times \frac{1}{\beta} \frac{kT}{C_{eq}} \gamma N_{op} \frac{C_f^2}{C_s^2} \quad (23)$$

2.3 功耗建模分析

采用 MDAC 结构,对 10 bit 50 MHz 流水线 ADC 进行功耗建模。主体结构为 4 个 2.5 bit 分离采样 MDAC

和 2 bit Flash ADC 构成。

等效运放建立误差(以单极点为例),如图 6 所示。每一级 MDAC 中的运放建立误差分为直流增益误差和指数建立误差。第 i 级建立误差和时间常数可以表示为:

$$\epsilon_{AMPi} = \frac{1}{A_i\beta} + e^{-\frac{t_s}{\tau_i}} \quad (24)$$

$$\tau_i = \frac{1}{2\pi\beta f_{ui}} \quad i = 1, \dots, 4 \quad (25)$$

式中: t_s 为建立时间,通常取半个时钟周期。



图 6 运放建立误差示意图

$$\epsilon_{in,AMP} = \frac{\epsilon_{AMP1}}{G_1} + \frac{\epsilon_{AMP2}}{G_1G_2} + \frac{\epsilon_{AMP3}}{G_1G_2G_3} + \frac{\epsilon_{AMP4}}{G_1G_2G_3G_4} \quad (26)$$

式中: $G_1 \sim G_4$ 为级间增益 4 倍。MDAC 电容失配引起的误差可以表示为 $\epsilon_{misi} \times V_{REF}$, 其中 $\epsilon_{misi} = \frac{\Delta C}{C_d}$, 为第 i 级单位电容相对失配误差。则总等效输入误差可以表示为:

$$\epsilon_{in,mis} = \frac{\epsilon_{mis1}}{G_1} + \frac{\epsilon_{mis2}}{G_1G_2} + \frac{\epsilon_{mis3}}{G_1G_2G_3} + \frac{\epsilon_{mis4}}{G_1G_2G_3G_4} \quad (27)$$

电容失配误差和运放建立误差会影响 ADC 的 DNL 特性。确定两者的分配比例 m 以及每级电容缩减因子 S 可以优化整体功耗。分配运放等效输入建立误差为 $mLSB$, 等效输入电容失配误差为 $(0.4 - m)LSB$ 。假设第 3、4 级 MDAC 参数完全一致,前两级中的缩减因子 S 为等比例缩减。在运放建立误差分析中,设第 1 级、第 2 级、第 3 和第 4 级等效到输入端误差分别为 $\frac{1}{2}mLSB$ 、 $\frac{1}{4}mLSB$ 、 $\frac{1}{4}mLSB$, 则可以计算出对各级单位增益频率要求为:

$$\begin{cases} f_{u1} \geq \frac{\ln(mLSB)}{\beta 2\pi t_s} \\ f_{u2} \geq \frac{\ln(2mLSB)}{\beta 2\pi t_s} \\ f_{u3,4} \geq \frac{\ln\left(\frac{32}{5}mLSB\right)}{\beta 2\pi t_s} \end{cases} \quad (28)$$

设电容缩减因子 S 以及第 i 级运放的等效负载电容 $C_{eq,i}$ 分别为:

$$S = \frac{C_{s,i}}{G_{s,i-1}} = \frac{1}{2^x} \quad (29)$$

$$C_{eq,i} = (1 - \beta)C_{f,i} + S \times C_{s,i} \quad (30)$$

式中: x 为系数。若采用两级运放,设补偿电容 $C_{c,i} = \theta_i \times C_{eq,i}$, 由于电容缩放,则 $\epsilon_{mis2} = \frac{1}{S^{0.5}} \times \epsilon_{mis1}$, $\epsilon_{mis3,4} = \frac{1}{S} \times \epsilon_{mis1}$ 。可以计算出第 1 级中单位电容失配的要求为:

$$\epsilon_{mis1} \leq \frac{(0.4 - m)LSB}{\left(\frac{1}{4} + \frac{\sqrt{4^x}}{16} + \frac{5}{64}4^{x-1}\right)V_{REF}} \quad (31)$$

电容失配关系为 $\epsilon_{misi} = \frac{A}{\sqrt{W_i L_i}}$ 。对于 TSMC 180 nm

工艺的 mimcap_2p0_sin 电容, $4 \mu m \times 4 \mu m$ 对应电容值为 35.6 fF, 根据上式可以进一步推算出对首级单位电容大小的要求为:

$$C_{d,1} \geq 35.6 \times 10^{-15} \times \left(\frac{A}{4 \times 10^{-6} \epsilon_{mis1}}\right)^2 \quad (32)$$

对于 N、P 互补的两级运放,第 i 级功耗电流、单位增益频率、次极点可以表示为:

$$P_{AMP,i} = \left(\frac{g_{m1,i}}{2}V_{gsteff1,i} + \frac{g_{m2,i}}{2}V_{gsteff2,i}\right) \quad (33)$$

$$f_{ui} = \frac{g_{m1,i}}{2\pi C_{c,i}}, f_{ndi} = nf_{ui} = \frac{g_{m2,i}}{2\pi C_{eq,i}} \quad (34)$$

式中: $g_{m1,i}$ 和 $g_{m2,i}$ 代表第 i 级运放中第 1 级总跨导和第 2 级跨导, $g_{m1,i} = g_{mN1,i} + g_{mP1,i}$, $g_{m2,i} = g_{mN2,i} + g_{mP2,i}$; $V_{gsteff1,i}$ 和 $V_{gsteff2,i}$ 为有效过驱电压; n 为系数。则 4 级 MDAC 中的运放消耗的总电流可以表示为:

$$P_{AMP,i} = P_{AMP1} + P_{AMP2} + 2P_{AMP3,4} = f(m, S) \quad (35)$$

假设由于电路噪声引起的有效位数 (ENOB) 下降 0.1 bit, 即噪声功率约为量化噪声功率的 $\frac{1}{8}$, 即 $\frac{1}{8} \frac{LSB^2}{12}$ 。

量化的等效功率是通过幅度功率进行平均而得到的。第 i 级 MDAC 输出端的采样阶段电阻热噪声和运放噪声简化表达为:

$$\overline{v_{tot,out,i}^2} = 2 \left(\frac{9kT}{C_{s,i}} \times 4 + \frac{9kT}{C_{s,i}} \frac{C_{s,i}}{C_{c,i}} \gamma N_{op} \right) \quad (36)$$

后级热噪声功率等效到前级时需要除以增益的平方^[17]。只要各种信号元件相互独立, 它们的功率或能量就可以相加在一起, 将 jitter 噪声和前两级 2.5 bit MDAC 电路中的噪声一并等效到 ADC 输入端得到:

$$\begin{aligned} \overline{v_{tot,in}^2} &= \left[\frac{d(v_{IP} - v_{IN})}{dt} (t_{1-}) \right]^2 \times \sigma_j^2 + \frac{1}{16} \overline{v_{tot,out,1}^2} + \\ \frac{1}{16^2} \overline{v_{tot,out,2}^2} &= \left[\frac{d(v_{IP} - v_{IN})}{dt} (t_{1-}) \right]^2 \times \sigma_j^2 + \\ \frac{kT}{C_{s,1}} \left(\frac{9}{2} + \frac{9}{4\theta} \frac{1}{9 + \frac{1}{2^{2x}}} + \frac{9}{32} 2^{2x} + \frac{9}{64\theta} \frac{2^{2x}}{9 + \frac{1}{2^{2x}}} \right) &\leq \\ \frac{1}{8} \frac{LSB^2}{12} & \quad (37) \end{aligned}$$

可以看出,在不同的缩减情况下,对首级采样电容的最小值有限制要求。

取 $\theta = 0.6$, 通过 MATLAB 功耗建模,即可估计功耗最佳点位置的参数 m 、 S 选取,如图 7 所示。

由图 7 可以看出,当 $m = 0.1$ 、 $S \approx 0.3$ 时,得到最优功耗电流在 4.435 mA, 因此核心功耗约 8 mW。更进一

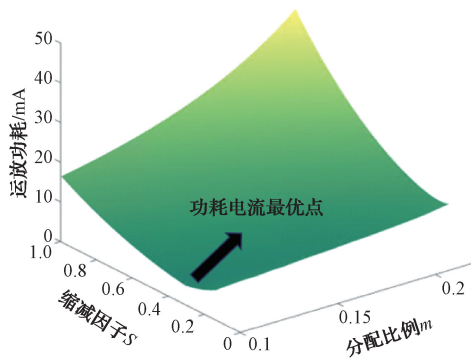


图7 功耗电流分布

步地,可以得到其他参数的选取(单位电容 C_d 尺寸和运放增益、带宽、电流指标),如表1所示。

3 两种系统建模仿真

为了对 10 bit 50 MHz 流水线 ADC 进行系统建模,快速评估整体性能,对电路进行 MATLAB 代码建模和 VerilogA 电路建模。两种建模方式中均使用前一小节参数优化的各项指标来验证,并考虑电容失配误差、各级运放建立误差、电路各种噪声误差、比较器失调误差等主要影响性能的因素。

考虑上述因素后, MATLAB 代码系统建模中可以快速仿真得到 10 bit 50 MHz 流水线 ADC 的动态性能的快

表1 功耗建模优化的参数选取

参数	MDAC1	MDAC2	MDAC3	MDAC4
单位电容 $C_d/\mu\text{m}$	13.5×13.5	6.5×6.5	4.5×4.5	4.5×4.5
运放环路增益/dB	>73	>67	>57	>57
运放环路带宽/MHz	>168	154	>131	>131
运放功耗电流/mA	<3.2	<0.8	<0.2	<0.2

速傅里叶变换(FFT)以及静态性能:微分非线性(DNL)和积分非线性(INL),如图8所示。由图8(a)可以清晰地看到,考虑非理想因素后,电路中会产生各次谐波,影响整体性能。由图8(b)可以看出,DNL在0.3 LSB以内,INL在

0.5 LSB 以内,达到了高线性度。

由于不同的非理想因素对整体流水线 ADC 影响占比不同,得益于 MATLAB 仿真速度极快,可以单独考量各个因素,能使电路设计者建立对整体系统把控的“灵感”。

TSMC 180 nm 工艺的电容失配对性能影响最大,在实际芯片制造过程中电容会产生随机失配,为了模拟实际情况中的随机过程,需要对电路进行蒙特卡洛(Monte Carlo, MC)仿真。在 MATLAB 建模和 VerilogA 建模中使用前述各项指标结论,其中,在 Cadence Virtuoso Studio IC23.1 中实现 VerilogA 建模顶层电路。保证在相同非理想因素情况下,对输入信号进行 2 048 点采样,并仿真 100 点的 MC,测试 ADC 主要衡量指标:有效位数(ENOB)和无杂散动态范围(SFDR),得到统计直方图如图9所示。

由图9可以看出,使用 MATLAB 代码建模和 VerilogA 电路建模方式统计得到的 ENOB 平均值均在 9.70 bit 左右, SFDR 平均值在 76 dB 左右,并且两种建模结果具有很好的一致性。将本文建模中的流水线 ADC 整体性能与近年来流水线 ADC 相关研究工作进行对比,对比结果如表2所示。

表2 近年流水线 ADC 相关研究性能对比

来源	工艺 /nm	有效位数 /bit	无杂散动态范围/dB	功耗 /mW
文献[18]	180	8	74.8	32.4
文献[19]	180	9.72	74.8	—
文献[20]	—	9.30	63.4	—
文献[21]	180	5.38	41.6	4.8
本文	180	9.70	76.2	8

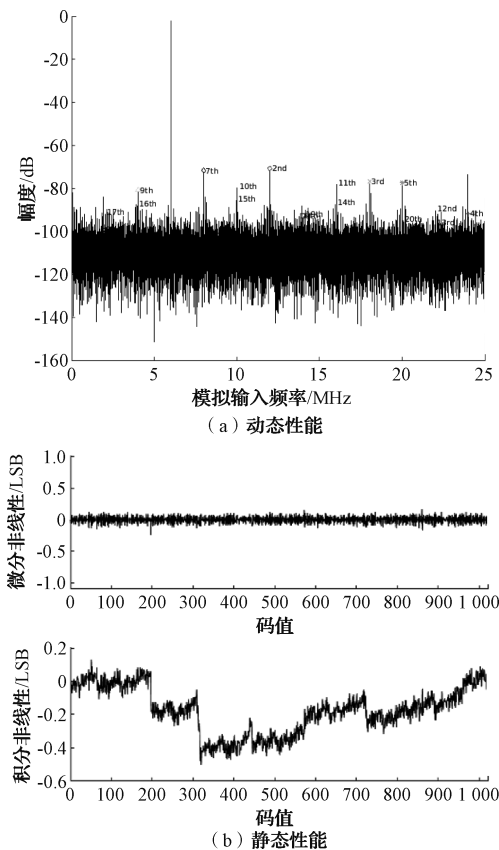


图8 考虑非理想后流水线 ADC 整体性能

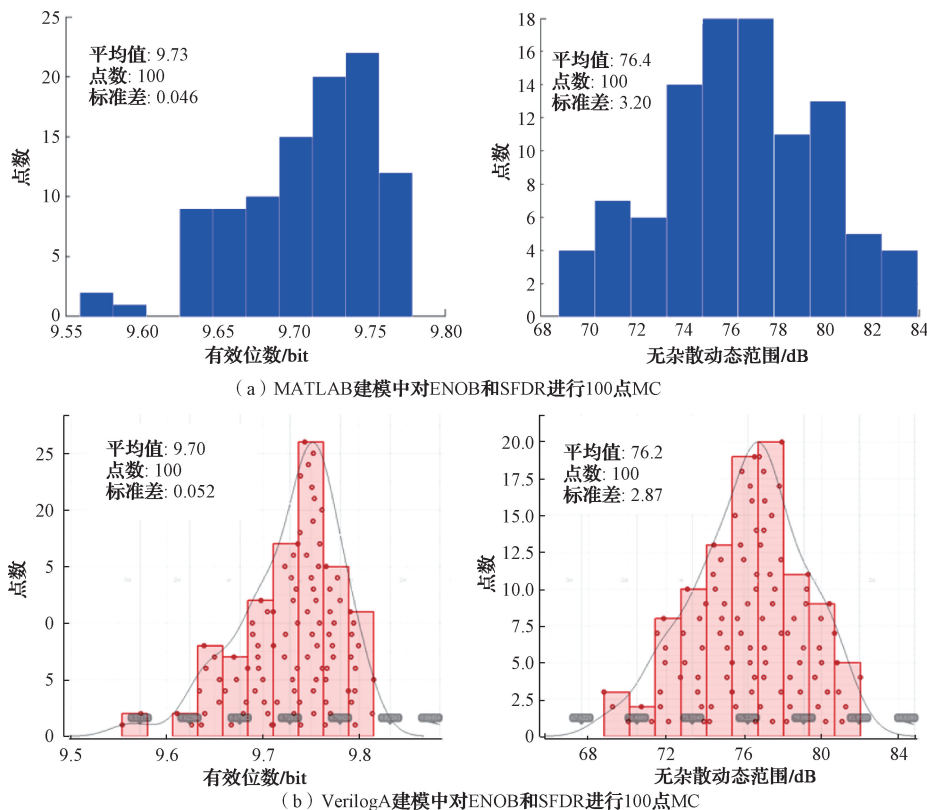


图9 两种建模模拟统计整体性能

由表2可知,本文设计的流水线ADC优势为有效位数以及无杂散动态范围较高,并且核心功耗相对较低,综合性能较好。

4 结论

本文探索了一种高效的ADC系统设计的方法,在TSMC 180 nm工艺下,以设计一个10 bit 50 MHz流水线ADC为例,首先选择了电路结构,推导得到精确的传递函数表达式,之后进行非理想噪声表达式的理论推导,并进行系统功耗优化,来得到各个模块设计参数优化的合理指标,并将这些指标应用于MATLAB代码建模和VerilogA电路建模中,仿真得到流水线ADC整体性能。MATLAB代码建模验证效率更高,VerilogA电路建模更贴近实际电路性能,降低了后续实际电路模块的加入联合仿真难度,为后续电路设计提供很强的现实指导意义。

参考文献

- [1] 顾廷炜,孙晓冬,顾林,等. 基于遗传算法的ADC动态性能参数寻优及计算系统设计[J]. 国外电子测量技术, 2022, 41(7): 106-112.
- [2] 吕方兴. 基于光学时钟技术的高速ADC系统的研究[J]. 电子测量技术, 2021, 44(6): 17-22.
- [3] FAN Q, CHEN J, WEN X, et al. A low-power 10-bit 250 MS/s dual-channel pipeline ADC in 0.18 μm CMOS[J]. Journal of Instrumentation, 2017, 12(2): 1-9.
- [4] 赵鹏, 杨飞. 一款基于CMOS图像传感器的10位10MSPS流水线ADC的研究与设计[J]. 榆林学院学报, 2022, 32(2): 55-58.
- [5] 王晓岚, 王海晖. 一种流水线ADC及其非理想特性的行为级建模设计[J]. 中国电子科学研究院学报, 2019, 14(6): 652-659.
- [6] 王玉娇, 黄静, 孙玲, 等. 14位Single-slope ADC行为级建模与仿真[J]. 现代电子技术, 2018, 41(16): 104-107.
- [7] 丁博文, 苗澎, 黎飞, 等. 500 MS/s 12位流水线ADC的设计研究[J]. 电子测量与仪器学报, 2022, 36(3): 130-138.
- [8] 杨迎, 黎飞, 刘颖异, 等. 18 bit 20 MS/s流水线ADC架构及行为级模型设计[J]. 电子与封装, 2022, 22(2): 60-65.
- [9] 弗朗哥·马洛贝蒂. 程军, 陈贵灿, 译. 数据转换器[M]. 西安: 西安交通大学出版社, 2013.
- [10] DEVARAJAN S, SINGER L, KELLY D, et al. A 12-b 10-GS/s interleaved pipeline ADC in 28-nm CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2017, 52(12): 3204-3218.
- [11] HAN G, HAO Y. Design technology cooptimization

- towards sub-3 nm technology nodes [J]. Journal of Semiconductors, 2021, 42(2):1-3.
- [12] WANG T. Low-power high-resolution delta-sigma ADC design techniques[D]. Corvallis :Oregon State University, 2012.
- [13] BRANDOLINI M, SHIN Y J, RAVIPRAKASH K, et al. A 5 GS/s 150 mW 10 b SHA-less pipelined/SAR hybrid ADC for direct sampling systems in 28 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2015, 50(12):2922-2934.
- [14] PELGROM M J M. Analog-to-Digital Conversion[M]. Cham: Springer Nature Switzerland AG, 2022.
- [15] ALI A M A. High Speed Data Converters[M]. London: The Institution of Engineering and Technology, 2016.
- [16] 蔡化,王勇. 一种 1.8 V 低功耗 14 位 20 Msp/s 模数转换器的设计[J]. 集成电路应用, 2019, 36(11):8-11.
- [17] 翁炜轩. 高速高精度流水线 ADC 的设计[D]. 西安: 西安电子科技大学, 2021.
- [18] 黄玮,谢亚伟,居水荣. 8 位高速低功耗流水线型 ADC 优化设计研究[J]. 科技创新与应用, 2023, 13(24): 60-63.
- [19] 庞中秋. 10 位 40MHz 流水线 ADC 的研究与设计[D]. 桂林:广西师范大学, 2019.
- [20] 袁志明. 高速高精度低功耗流水线 ADC 的研究[D]. 西安:西安理工大学, 2018.
- [21] 郭娜. 7 bit 16MS/s 低功耗流水线模数转换器设计[D]. 南京:东南大学, 2017.

作者简介

张华盛, 硕士研究生, 主要研究方向为模拟集成电路设计。

E-mail: 473178138@qq.com

宋树祥(通信作者), 博士, 教授, 博士生导师, 主要研究方向为模拟集成电路设计。

E-mail: songshuxiang@mailbox.gxnu.edu.cn

蔡超波, 讲师, 主要研究方向为模拟集成电路设计。