

基于顺序等效采样的 DAC 测试方法设计

寿开元¹ 解维坤^{1,2} 季伟伟¹ 张凯虹³ 宋国栋¹

(1. 中国电子科技集团公司第 58 研究所 无锡 214035;

2. 电子科技大学自动化学院 成都 611731;

3. 无锡中微腾芯电子有限公司 无锡 214028)

摘要:当前数模转换器(DAC)测试面临不能兼顾采样精度与采样速率的问题,测试时通常只能二者选其一,随着 DAC 器件的发展,常规测试系统不能满足当前测试领域需求。针对采样速率提升导致系统噪声提高,最终使采样系统有效分辨率恶化的问题,在分析对比了当前采样技术和系统噪声影响的基础上,提出了基于顺序等效采样的 DAC 测试方法。该方法将高频的原始信号在时间域上展开,其核心是制造采样周期与输入信号的周期的固定频差以进行分周期采样。对采样时钟抖动对系统有效位数的影响进行分析,确定了系统的最大时钟抖动,根据被测信号周期特征设计了测试系统的采样结构与周期。并对一款 16 bit、500 MHz 输出的 DAC 进行了测试,其结果与传统外挂频谱仪的测试结果进行对比。对比结果表明两次实验获得的频谱特征一致,采用本文设计的测试系统获得的测试结果得到了约 4 dBc 无杂散范围提升,约 3 dBc 双音交调参数提升,证明基于顺序等效采样 DAC 测试方法的有效性。

关键词: DAC 测试;顺序等效采样;采样系统;噪声分析

中图分类号: TN45 **文献标识码:** A **国家标准学科分类代码:** 520.604

Design of DAC test based on sequential equivalent sampling

Shou Kaiyuan¹ Xie Weikun^{1,2} Ji Weiwei¹ Zhang Kaihong³ Song Guodong¹

(1. Technology Group Corporation No. 58 Research Institute, Wuxi 214035, China;

2. School of Automation Engineering, University of Electronic Science and Technology of China,

Chengdu 611731, China; 3. Zhongwei Tengxin Electronics Co., Ltd., Wuxi 214028, China)

Abstract: With the rapid development of digital-to-analog converters (DAC), high sampling accuracy and high sampling rate cannot be achieved simultaneously in DAC testing. A DAC test design method based on sequential equivalent sampling is proposed to solve the problem of effective resolution deterioration, which caused by noise increase due to sampling rate increase. The method expands the high-frequency original signal in time domain, and samples expanded signal with uniform period. The key is to generate fixed frequency difference between the period of sampling clock and the period of input signal. In addition, this paper analyzes the influence of sampling clock jitter on the effective-number-of-bits (ENOB) of the system, determines the maximum clock jitter of the system, and designs the sampling structure and period of the test system according to the periodic characteristics of the tested signal. A 16 Bit, 500 MHz output DAC is tested by this method and the results are compared with traditional method by external spectrometer. The results show that the spectral characteristics obtained in the two experiments are consistent, and the proposed method achieves about 4 dBc improvement in Spurious-free dynamic range (SFDR) and about 3 dBc improvement in Two-tone intermodulation distortion(IMD) parameters, which proves the effectiveness of the sequential equivalent sampling DAC test method.

Keywords: DAC test; sequential equivalent sampling; sampling system; noise analyzing

0 引言

随着科学技术的快速发展,部分数模转换器(DAC)产品同时兼备高分辨率与高转换率的特点,在射频、雷达、音频等领域,可在 GSPS 转换率的条件下达到 16 bit 以上分辨率,产品指标的不断提升给 DAC 测试带来了巨大挑战。准确测量 DAC 的参数是保证数模混合设备稳定可靠的基础,也是避免产生重大经济损失的重要前提。

高速高分辨率 DAC 的测试难点在于对其输出信号的准确采样恢复^[1]。以市面上高端自动化测试设备,Advantest 公司的 V93000 SoC 为例,其采样模块分为两个,高速模块精度在 16 bit,采样率在 250 MSps 左右,高精度模块精度在 24 bit,采样率在 1 500 KSPs^[2],难以实现同时兼顾高转化率与高进度测试。因此,单凭自动化测试设备,无法判断 DAC 的真实性能。目前该类 DAC 的测试一般通过自动化测试设备协同高指标的示波器与频谱仪实现数据采样与分析,测试成本较高。

可以通过采样方法与硬件模块设计,协同自动化测试设备,从而实现在有限的硬件条件下获得等效采样水平。顺序等效采样、时间交替采样、量化交替采样、欠采样、压缩采样等采样方法已被广泛用于信号采样设备的研发与制造^[3]。时间交替采样与量化交替采样以增加系统结构复杂度的代价提升了采集系统的等效采样率与等效分辨率^[4],随着并行通路的增加,通道间的校准难度提升^[5],且等效采样率与等效分辨率往往不可兼顾。在数模混合信号测试领域,针对周期性高精度电压采用顺序等效采样优化测试结果^[6],已有较多应用。从实现方式来看,有延时法和频差法两大类,斜坡式步进比较延时方法最高采样率可以达到 125 GSps,朱国富等^[7]采用延时芯片实现延时,最高采样率达到了 100 GSps;李海涛等^[8-9]采用频差法,将时域问题转换到频域实现,简化了延时系统的设计,最高等效采样率达到了 585 GSps。这些研究为了精准控制采样延时,通过固定采样间隔的方式以获得高等效采样率,忽略了实际应用过程中的灵活性,并缺少对采样精度这一关键指标的分析。

当前 DAC 测试对自动化应用需求逐步提升,相较于以往采样方法,本文设计的测试方法可以更好地与自动化测试设备结合,可以针对不同待测信号的频率灵活改变采样间隔与采样率,更具有通用性与低成本。本文针对高速高分辨率 DAC 测试过程中的信号特征与影响因素,基于顺序等效采样技术设计了测试方法与硬件,并通过实验验证了关键硬件指标与测试结果。

1 采样频率提升对精度的影响分析

在 DAC 输出模拟波形与 ADC 采样过程中,时钟的准确性直接影响转换的准确性,图 1 通过对比理想与实际情况下的时钟抖动对转换器器件带来的影响,其中, T_{SAMPLE} 为 DAC 输出周期, V_{LSB} 为 ADC 单位量化电压,转换器输

出受到时钟相位噪声的干扰,导致输出偏离理想值,最终导致特征参数恶化。

针对 DAC 器件测试过程,可将器件本身抖动算入器件本底噪声,因此在分析时忽略 DAC 内部抖动的的影响,只考虑采样时钟抖动。采样系统 ADC 的采样位置受采样时钟抖动的影响会发生偏移,这有可能导致采样点的重叠与遗漏。当采样速率越高,抖动对采样准确度的影响就越大。器件分辨率越高,受影响后采样点与理论采样点的二进制偏移量影响也越大,最终体现在信噪比与最终有效位数指标的降低上^[10]。

在采样过程中,抖动一般用采样时钟振荡器的相位噪声描述,因此需要分析相位噪声对 ADC 的影响。时钟随机噪声通过时钟抖动或相噪来描述衡量,并且噪声服从高斯统计特性^[11]。为了降低采样时钟抖动对采样系统性能的影响,以对 DAC 输出正弦波采样为例,分析抖动对精度的影响。现分析采样抖动与噪声的关系,假设环境噪声只由时钟抖动产生的随机噪声引起,采样信号为:

$$V(t) = V_0 \sin 2\pi f t \quad (1)$$

式中: $V(t)$ 为采样信号的电压; V_0 为采样信号的最大幅值; f 为采样信号频率; t 为采样信号时刻。采样信号的电压对时间进行微分获得该信号的变化速率为:

$$\frac{dV}{dt} = 2\pi f V_0 \cos 2\pi f t \quad (2)$$

求取式(2)变化率的均方根,即正弦信号的均方根值:

$$\left. \frac{dV}{dt} \right|_{\text{RMS}} = \frac{2\pi f V_0}{\sqrt{2}} \quad (3)$$

令 ΔV_{RMS} 表示采样时均方根电压误差, Δt 为采样时均方根时钟抖动 T_j ,表示采样时钟与 ADC 本身时钟抖动的均方根,将 ΔV_{RMS} 与 T_j 代入式(3)可得抖动的均方根值为:

$$\Delta V_{\text{RMS}} = \frac{2\pi f V_0 T_j}{\sqrt{2}} \quad (4)$$

产生的均方根信噪比(SNR)可通过采样满量程输入电压 V_{input} 的均方根值和量化噪声的均方根值 ΔV_{RMS} 获得:

$$\text{SNR}(\text{dB}) = 10 \lg \left(\frac{V_{\text{input}} \times 2^{N/2} \sqrt{2}}{\Delta V_{\text{RMS}}} \right) \quad (5)$$

将采样信号的均方根与抖动产生的量化噪声均方根代入式(5),获得由于时钟抖动产生的信噪比,表明了时钟相位抖动对采集系统信噪比的影响:

$$\text{SNR} = 20 \lg \left[\frac{V_0 / \sqrt{2}}{\Delta V_{\text{RMS}}} \right] = -20 \lg [2\pi f T_j] \quad (6)$$

在此分析过程中,不考虑谐波与其他噪声干扰,采样系统的有效位数可由信噪比获得:

$$\text{ENOB} = \frac{\text{SNR} - 1.76}{6.02} \quad (7)$$

式(6)、(7)表明采样时钟抖动对采集系统的 SNR 或 ENOB 都有明显的影响。测试过程中时钟抖动最终体现

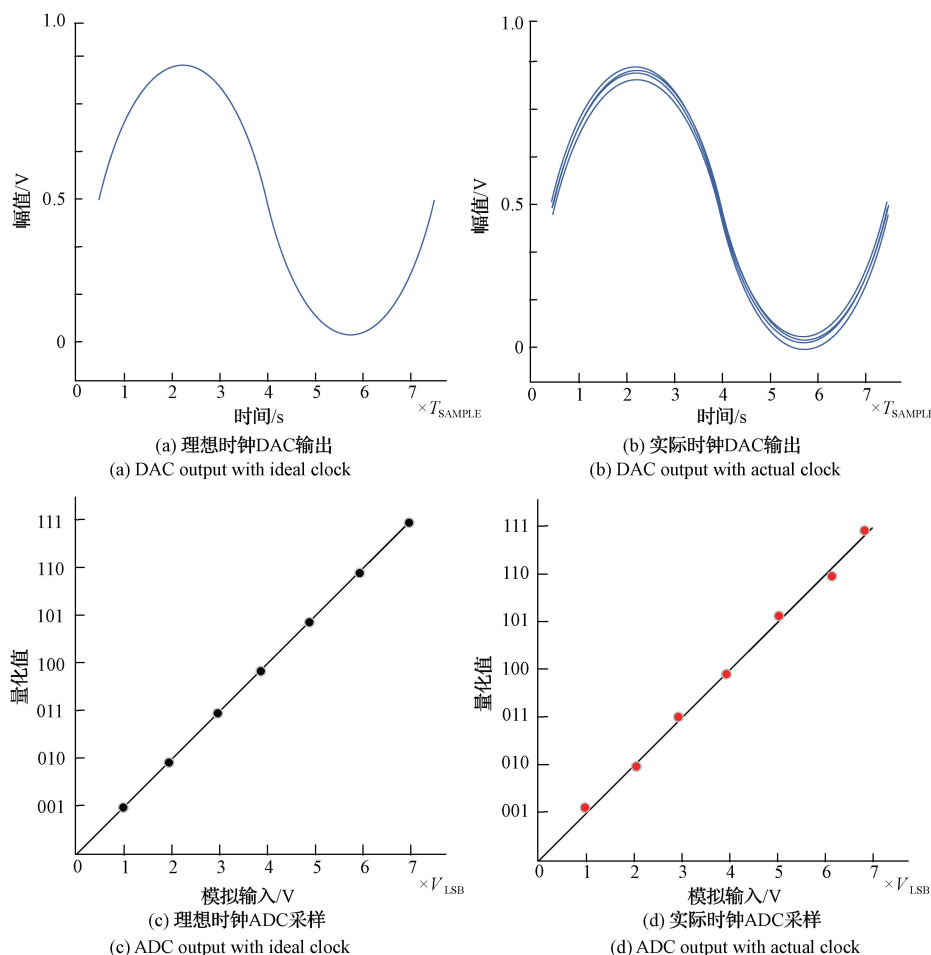


图 1 时钟抖动影响对比

Fig. 1 Comparison clock jitter effect

在传输噪声的大小上,因此,对 DAC 进行测试之前需要通过测试对采样模块的噪声进行测试,确保采样系统的精度。

2 针对 DAC 测试的顺序等效采样模型

根据 IEEE1658—2011 标准提供的测试方法,在 DAC 进行动态参数测试时,在输入端输入稳定的数字正弦信号^[12]。测试向量的周期与测试点数量根据式(8)确定。

$$f_t = \frac{M_{TEST}}{N_{TEST}} f_s = \frac{M_{Digitizer}}{N_{Digitizer}} f_{Digitizer} \quad (8)$$

式中: f_t 为被测 DAC 输出频率; f_s 为被测 DAC 的转换频率; $f_{Digitizer}$ 为采样系统的采样频率; M_{TEST} 表示待测信号主频率信号所包含的周期数; N_{TEST} 输出模拟波形的采样点数^[13]。依据式(8)的规则生成数字正弦信号后配置成测试向量,DAC 依据数据驱动时钟频率将测试向量转换为模拟信号输出。如图 2 所示,栅格内为 DAC 器件依照输出驱动时钟,按一定频率转换电压输出,随着转换频率的提升,每个转换点的采样窗口时间缩短。由式(8)可知,DAC 测试中采样设备的采样点位需要覆盖测试向量的数据点位,以实现转换点的完全采样。采样速率与发

送速率的比值为单个正弦波形转换周期中包含的点数,才可以使测试的波形不发生重复、混叠^[14],并将测试波形中的全部信息抓取出来。

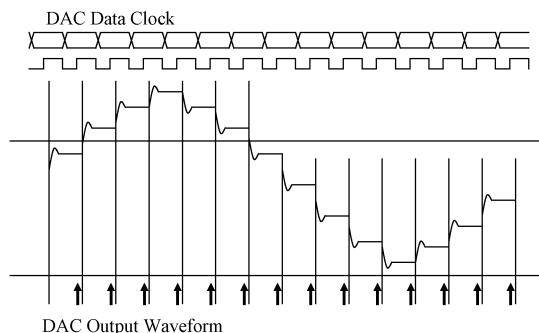


图 2 DAC 数据驱动与输出波形变化

Fig. 2 DAC data drive and output waveform change

顺序等效采样在时域上进行,通过时域扩展换取采样率的提升^[16]。若每个周期内被采样 $N1$ 次,进行了 N 个总采样深度的采样,相较于相同采样率设计的实时采样,则可获得时间扩展 $N/N1$ 倍的采样波形。顺序等效等效

采样如图3所示,在单个触发周期中采样两次,即 $N1$ 取值为2的情况,采样周期 N 取8次作说明,在4个触发周期 ΔT_{sample} 内获得8个采样数据,根据每个采样点在本周期内的时域信息进行重新排列以重构波形,单个周期存储深度为8时间展开4倍的波形。

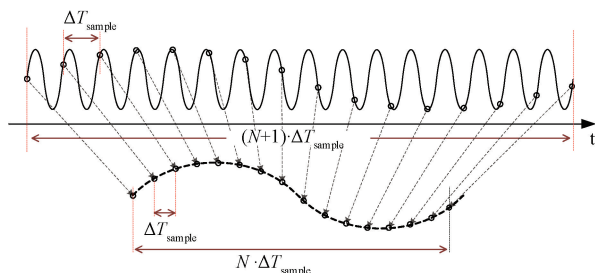


图3 顺序等效等效采样设计

Fig. 3 Sequential equivalent equivalent sampling design

顺序等效采样在时域上表现为采样点在待采样信号上不同周期的时间差,在频域上表现为待采样信号与采样频率的频差,以 f_{sample} 表示采样信号频率基准, Δf 表示采样偏移频率, f_{signal} 表示待测信号频率。因此顺序等效采样的固定时域差的设计可通过改变待测信号与采样时钟的频域差获得。

$$\Delta t = T_{\text{signal}} - T_{\text{sample}} = 1/f_{\text{signal}} - 1/f_{\text{sample}} = \Delta f / [f_{\text{signal}} \times (\Delta f + f_{\text{signal}})] \quad (9)$$

通过式(9)可以实现在一定的采样时钟基准下,通过调整待测信号频率偏移,实现顺序等效采样。这个过程也可以通过固定待测信号而调整采样时钟信号的频率实现,然而,时钟领域,大范围可调与高精度低抖动是两个较为矛盾的特性。根据上文的分析,低抖动时钟对高精度采集测试过程十分重要,因此本文在测试过程中最终通过修改采样信号的偏移实现顺序等效采样。

通过控制偏移量,使采样点之间的时域信息也变得固定,因此称为顺序等效。根据测试傅里叶变化需求的采样存储点数 N 与周期数 M ,可以确定单个恢复周期内的采样深度 N/M ,总采样时间为 $N \times T_{\text{data}}$ 。

当采样时钟 f_{sample} 与待测信号 f_{signal} 频率相差较大时,实现手段上顺序等效采样可以通过倍频方式修改采样时钟或进一步延长采样时间两种方式实现。

1) 倍频法,通过修改采样时钟的频率,使之接近信号频率,从而增加顺序等效等效采样率。因此,此种方式要求采样频率的宽范围可调节。采样频率与信号频率具有如下关系:

$$N \cdot f_{\text{sample}} + \Delta f = f_{\text{signal}} \quad (10)$$

2) 延时法,通过延长采样时间,增加等效采样周期,减小相对频差 Δf ,此种方式要求发送端的转换点发送速率可调。采样频率与信号频率具有如下关系:

$$f_{\text{sample}} + \Delta f = N \cdot f_{\text{signal}} \quad (11)$$

为更直观的表现采样模型,接下来对顺序等效采样在

时域中的表现做进一步分析。将测试波形定义为 y_{signal} 经过频率为 f_s 的采样,获得 y_n 的信号:

$$y_{\text{signal}} = A \sin(2\pi \cdot f \cdot t + \phi) \quad (12)$$

$$y_n = A \sin\left(2\pi \cdot \frac{f}{f_s} \cdot n + \phi\right) \quad (13)$$

对于输入稳定的周期信号,通过分析采样频率与模拟输入信号频率的时间关系,可以获得将输入模拟信号分多个周期进行采样。若以 f 为频率的稳定正弦输入信号为例, f_s 作为实际采样频率,可反向获得时域中的相关性。

$$f_s = \frac{K}{nK+1} \cdot f \quad (14)$$

式中: K 作为等效采样倍数的系数,即 $f_{\text{eq}} = K \cdot f_s$; n 为采样周期与实际信号周期的比例。采样周期可以表示为:

$$T_s = nT + \Delta T \quad (15)$$

此时存在 K 满足 $T = K \cdot \Delta T$ 。

$$T \cdot (nK+1) = T_s \cdot K \quad (16)$$

在此情况下,单个等效采样周期内的采样点为 K 个,通过 k 表示一次等效周期内采样点的位次, k 的取值范围为 $0 \sim K-1$ 。

在此情况下,单词采样点的相位可以通过信号频率与采样参数表示为:

$$\sin(2\pi \cdot f \cdot k(nT + \Delta T)) \quad (17)$$

当采样序列 $k = K-1$ 后,获得一个完整顺序等效采样周期的被测信号采集,当序列 $k = K$ 时采样点的幅值回归至第1个采样点即 $k=0$ 时的幅度,开始下一轮的采样。

3 硬件平台与实验

根据第2节对采集模块硬件的分析,为保证采集模块的噪声指标符合要求,首先对采集模块的静态噪声进行验证。设置采集模块硬件的采样时钟频率为 10 kHz,模块输入端通过 SMA100B 信号源输入 0 V 电压,启动采样模块进行采集,并将数据传输至 PC 进行分析。测试结果取 65 536 个采样点,观察噪声波动范围^[17],电压误差通过最低有效位 (least significant bit, LSB) 表示。如图4所示,横轴表示采样点,纵轴表示该采样点的电压偏离理想零点幅度,整体采样噪声小于 2 LSB 电压绝对值。

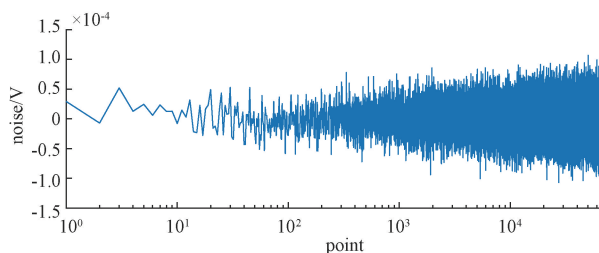


图4 采样模块噪声分布

Fig. 4 Sampling module noise distribution

基于该方法的 DAC 测试结构如图5所示, ATE 与 DAC 可以看作一个部分, ATE 为待测 DAC 提供必要

的供电、控制信号、驱动向量,采集模块看作一个部分,进行数据采集与处理,并将测试结果送至 ATE 界面显示。待测信号为 y_{signal} ,顺序等效采样后信号为 y_n ,在 FPGA 上进行数据重组,并完成快速傅里叶变化计算获

得信号频谱特征后将计算结果输出。设备布置如图 5 所示,待测 DAC 通过测试载板与 ATE 设备连接,DAC 与采集模块通过载板上的 SMA 信号线连接。试验平台如图 6 所示。

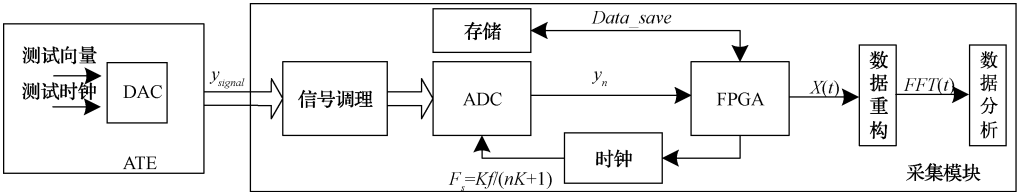


图 5 基于顺序等效采样的 DAC 测试结构

Fig. 5 DAC test structure based on sequential equivalent sampling

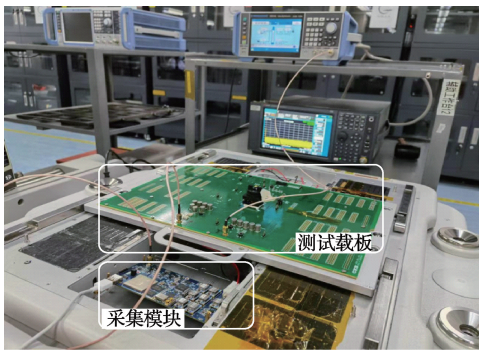


图 6 试验平台

Fig. 6 Test platform

DAC 的测试频率与激发波形通过 V93000SoC 自动化测试平台驱动,通过平台内的 Time Base Set 精准控制输出时序,采集模块根据式(10)获得的频差和式(15)获得采样频率设置采样周期。验证的参数包含单音信号的无杂散动态范围参数(spurious-free dynamic range, SFDR)与双音互调失真(intermodulation distortion, IMD),并对同一个测试项分别用 KEYSIGHT N9030B 信号分析仪与采样模块进行测试。参数与测试结果如表 1、2 所示。

图 7 所示为 KEYSIGHT N9030B 信号仪与采集板对 DAC 同一测试项的测试频谱结果,图 7(a)、(b)为 20 MHz 单音信号输出对比,图 7(c)、(d)为 20 与 170 MHz 双音信号输出对比。以 SFDR 与 IMD 的测试结果可知本文设计

表 1 无杂散动态范围测试

Table 1 Spurious-free dynamic range test

参数	测试条件	N9030B 分析结果	顺序等效采样结果
SFDR	$f_{\text{DAC}} = 983.04 \text{ MSps}$ $F_{\text{out}} = 20 \text{ MHz}$	79.33 dBc	83.36 dBc
	$f_{\text{DAC}} = 983.04 \text{ MSps}$ $F_{\text{out}} = 150 \text{ MHz}$	74.28 dBc	82.71 dBc
	$f_{\text{DAC}} = 1966.08 \text{ MSps}$ $F_{\text{out}} = 20 \text{ MHz}$	77.88 dBc	80.07 dBc
	$f_{\text{DAC}} = 1966.08 \text{ MSps}$ $F_{\text{out}} = 170 \text{ MHz}$	63.20 dBc	78.93 dBc

表 2 双音交调参数测试

Table 2 Intermodulation distortion test

参数	测试条件	N9030B 分析结果	顺序等效采样结果
IMD	$f_{\text{DAC}} = 983.04 \text{ MSps}$ $F_{\text{out}} = 20 \text{ MHz}$	84.73 dBc	87.29 dBc
	$f_{\text{DAC}} = 983.04 \text{ MSps}$ $F_{\text{out}} = 150 \text{ MHz}$	73.20 dBc	78.86 dBc
	$f_{\text{DAC}} = 1966.08 \text{ MSps}$ $F_{\text{out}} = 20 \text{ MHz}$	84.48 dBc	85.58 dBc
	$f_{\text{DAC}} = 1966.08 \text{ MSps}$ $F_{\text{out}} = 170 \text{ MHz}$	79.61 dBc	81.40 dBc

的 DAC 测试方法获得的测试频谱特征与外部仪器获得的频域特征具有一致性。

经过验证可知,基于顺序等效测试方法的 DAC 测试方法结果符合预期,除能减少设备依赖外,相较于传统方式能够更好的反应被测器件的参数指标。动态参数

SFDR 测试结果大于 82 dBc,符合产品指标,双音互调失真 IMD 在 983 MHz 转换率 20 MHz 输出时满足手册指标,在 1 966 MHz 转换率 170 MHz 输出时,略高于测试指标值,但均高于外接仪器采样的测试结果,能够更好地反应 DAC 器件本身的动态性能。

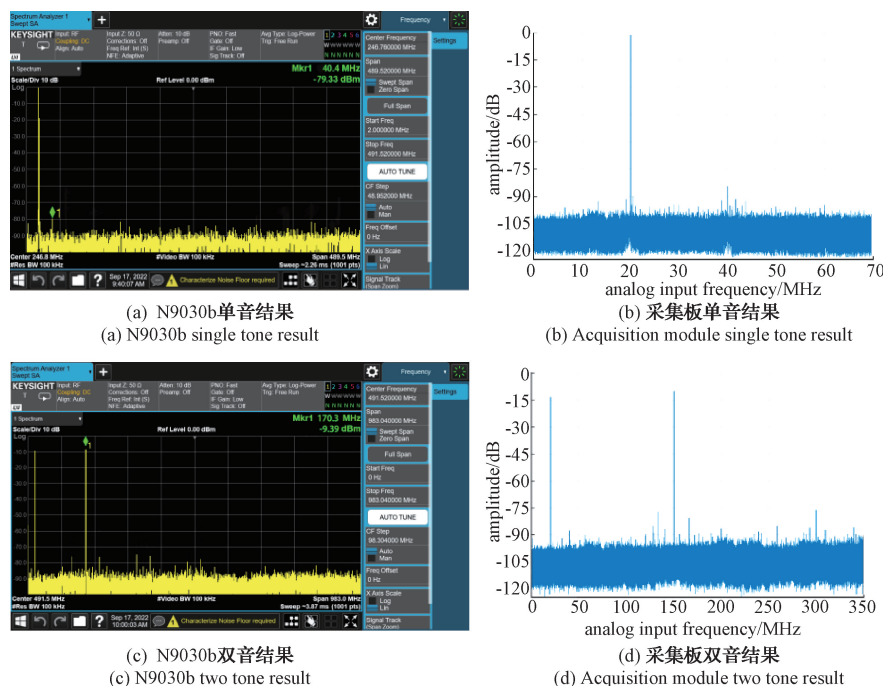


图7 测试结果对比

Fig. 7 Comparison of test results

4 结论

针对DAC测试过程中高采样率与高采样精度的矛盾,本文基于顺序等效采样方法,设计与ATE设备协同的高速高分辨率DAC测试方案与硬件。并以一款参数指标为16 Bit、500 MHz输出的DAC为对象进行了测试验证,将其结果与传统外挂频谱仪的测试结果进行对比。在DAC转换速率983 MHz的测试条件下SFDR参数测试结果提高了4 dBc,相较于传统测试方法提升了约4.8%,IMD参数测试结果提升约2.57 dBc,相较于传统测试方法提升了约3.0%,并满足了测试指标。在相同外部环境下,本文设计的基于顺序等效采样的DAC测试方法相比实时采样的频谱仪具有更低的测试成本,且能获得一致的测试结果。

参考文献

- [1] 寿开元. 高分辨率高速DAC测试及优化方法研究[D]. 成都:电子科技大学,2023.
SHOU K Y. Research on testing and optimizing method of high resolution and high speed DAC[D]. Chengdu: University of Electronic Science and Technology of China,2023.
- [2] 董现信. 基于V93000的频率测试方法研究[D]. 西安:西安电子科技大学,2020.
DONG X X. Research on frequency test method based on V93000[D]. Xi'an: Xidian University,2020.
- [3] 杨栋. 高速高精度采集系统研究与FPGA实现[D]. 绵阳:西南科技大学,2022.
YANG D. Research and implementation of high-speed and high-precision acquisition system Based on FPGA [D]. Mianyang: Southwest University of Science and Technology,2022.
- [4] 郑彦泽,周乃馨,赵貽玖,等. 混合并行交替最优采样技术研究[J]. 电子测量与仪器学报,2023,37(4):18-26.
ZHENG Y Z,ZHOU N X,ZHAO Y J,et al. Optimal configuration analysis of hybrid parallel interleaved acquisition techniques [J]. Journal of Electronic Measurement and Instrumentation, 2023, 37(4): 18-26.
- [5] 黄武煌. 基于并行处理的超高速采样系统研究与实现[D]. 成都:电子科技大学,2015.
HUANG W H. Research and implementation of ultra-fast sampling system based on parallel processing [D]. Chengdu: University of Electronic Science and Technology of China,2015.
- [6] 杨春玲,王金阳,温星,等. 高精度交流电压有效值测量技术研究[J]. 仪表技术与传感器,2023(5):70-75,83.
YANG CH L,WANG J Y,WEN X,et al. Research on high precision AC voltage RMS measurement technology [J]. Instrument Technique and Sensor, 2023(5): 70-75,83.

- [7] 郭宇,朱国富. 全新的高稳定穿墙雷达接收机前端设计[J]. 雷达科学与技术,2015,13(2):203-209.
GUO Y, ZHU G F. Design of a novel high-stable receiver front-end of through-wall radar [J]. Radar Science and Technology,2015,13(2):203-209.
- [8] 李海涛,阮林波,田耕. 基于级联步进延时的顺序等效采样方法及实现[J]. 自动化仪表,2020,41(10):74-77.
LI H T, RUAN L B, TIAN G. Sequential equivalent sampling method and implementation based on cascaded step delay [J]. Process Automation Instrumentation,2020,41(10):74-77.
- [9] 李海涛,李斌康,阮林波,等. 一种基于频差法的顺序等效采样方法及其实现[J]. 电子学报,2020,48(6):1071.
LI H T, LI B K, RUAN L B, et al. Research and implementation of a sequential equivalent sampling method based on frequency difference method [J]. Acta Electronica Sinica,2020,48(6):1071.
- [10] 邹彦鑫. 高速高精度流水线型 ADC 关键技术的研究与设计[D]. 成都:电子科技大学,2024.
ZHOU Y X. Research and design of high speed and high precision pipelined ADC [D]. Chengdu: University of Electronic Science and Technology of China,2023.
- [11] 卫洋斌,李浩,孙晓平,等. 一种双 ADC 垂直同步采样结构及其误差校正[J]. 仪器仪表学报,2023,44(12):141-149.
WEI Y B, LI H, SUN X P, et al. Dual-ADC vertical synchronous sampling structure and error correction[J]. Chinese Journal of Scientific Instrument, 2023, 44(12):141-149.
- [12] TILDEN S, MAX S, BLAIR J, et al. 1658 — 2011 IEEE standard for terminology and test methods of digital-to-analog converter devices[S]. 2012.
- [13] 陈宇轩,季伟伟,解维坤,等. 高精度数模转换器的线性度测试技术[J]. 电子与封装,2023,23(5):11-16.
CHEN Y X, JI W W, XIE W K, et al. Linearity testing technology of high precision digital-to-analog converter[J]. Electronics & Packaging,2023,23(5):11-16.
- [14] 刘晶晶. 随机采样模型及其信号处理算法研究[D]. 成都:电子科技大学,2018.
LIU J J. Study on random sampling model and its signal processing algorithm[D]. Chengdu: University of Electronic Science and Technology of China,2018.
- [15] 李昊宇,黄丹平,罗凡. 非整周期低信噪比科氏流量计相位差测量研究[J]. 国外电子测量技术,2023,42(11):89-96.
LI H Y, HUANG D P, LUO F. Research on phase difference measurement of Coriolis flowmeter with non-integer period and low signal-to-noise ratio [J]. Foreign Electronic Measurement Technology, 2023, 42(11):89-96.
- [16] 邱渡裕. 宽带等效取样示波器关键技术研究[D]. 成都:电子科技大学,2016.
QIU D Y. Research on key technology of broadband equivalent sampling oscilloscope [D]. Chengdu: University of Electronic Science and Technology of China,2016.
- [17] 菅端端,张驰. 下一代光传输系统 DAC 芯片动态性能测试方法[J]. 电子测量技术,2018,41(5):42-46.
JIAN D D, ZHANG CH. Test method of ultra-high speed DAC dynamic performance in next generation optical transmission system [J]. Electronic Measurement Technology,2018,41(5):42-46.

作者简介

寿开元(通信作者),硕士,测试工程师,主要研究方向为数模混合集成电路测试、信号采样等。

E-mail:1065911990@qq.com