

基于 FPGA 和 TDC-GP2 的钟差测量系统设计

冯胜民 陈娟花 曹占山 牛艳君
(63726 部队 银川 750004)

摘要: 在航天试验靶场,频标设备的频率准确度直接决定了测控设备测量数据的质量,而频率准确度的测量依赖标准频率与本地频率的钟差测量,目前在各测控站点一般采用高精度计数器来实现,但由于计数器输出的钟差测量结果只能在本地显示而不能进行远程传输,导致总体人员不能在时钟主站有效对各测控站点的守时情况进行实时监测和辅助判决,易出现调钟错误的问题。提出了一种基于 FPGA 和 TDC-GP2 的钟差测试系统设计方案,可对本地的钟差进行测量,测量精度高达 100 ps,并通过试验任务 IP 网进行上报,达到对守时结果远程监测和辅助判决的目的。

关键词: 频标设备; FPGA; TDC-GP2; 钟差测量

中图分类号: TN874 **文献标识码:** A **国家标准学科分类代码:** 590.6020

Design of clock difference measurement system based on FPGA and TDC-GP2

Feng Shengmin Chen Juanhua Cao Zhanshan Niu Yanjun
(PLA Unit 63726, Yinchuan 750004, China)

Abstract: In the aerospace test range, the accuracy of the frequency standard equipment decides directly the data performance of measurement and control equipment, but it is dependent on the clock difference measurement of the standard frequency and the local frequency. At present, it is realized by high-precision counter, but the measurement result can only be displayed in the local and not be transferred over long distance, which can not effectively monitor and judge to keep watch time for system person in the master station and the regulation clock error easily occur. A project of clock difference measurement is proposed based on FPGA and TDC-GP2, which complete the measure of clock difference in the local. The time measurement precision can achieve 100 ps, it will attain the purpose of monitoring and judging the keep watch time result by using test task IP network to report the measurement data.

Keywords: frequency standard equipment; FPGA; TDC-GP2; clock difference measurement

1 引言

在航天武器试验靶场,频标设备作为时统设备的重要组成部分,它主要为各测控设备提供标准的频率基准,它的准确度将直接决定了测控设备测量数据的准确性和质量。因此,在航天试验任务中,需要在任务前一段时间对频标设备进行守时,使其准确度达到任务要求。

频率准确度的测量依赖标准频率与本地频率的钟差测量,目前在各测控站点一般采用高精度计数器来实现。但由于计数器输出的钟差测量结果只能在本地

显示而不能进行远程传输,导致总体人员不能在时钟主站有效对各测控站点的守时情况进行实时监测和辅助判决,我部曾出现过由于分机人员经验欠缺而导致调钟错误的问题,影响了任务的圆满完成。如何避免此类问题再次发生,设计实现一种既能在测控站点进行钟差测量,又能利用试验任务 IP 网将钟差测量结果传送给时钟主站的钟差测试系统已成为摆在系统总体人员面前非常棘手的问题。

基于以上现实需求,提出了一种基于 FPGA 和 TDC-GP2 的钟差测量系统设计方案,以 Altera 公司飓风四代 FPGA 芯片为核心^[1-2],配合德国 ACAM 公

司生产的 TDC-GP2 芯片^[3]完成对钟差数据的测量,测量精度可高达 100 ps 之内,并采用网络接口将测量结果通过试验任务 IP 网进行上报,达到在时统主站对各测控站点守时情况监测和辅助判决的目的,为圆满完成持续高密度条件下的试验任务奠定坚实的基础。

2 测量原理

测量频率准确度的基本方法有测频率法、测周期法和测相位法 3 种,这些方法都需要有一个作为测量参考的标准信号,通过把被校频标与标准信号进行时刻比对,得到被校频标的准确度。频率源给出的时刻与标准时刻之间的差值称为时钟钟差,而频率准确度决定了钟差的变化速度,所以在测量频率源频率准确度的时候,可以通过使用标准信号间接测量一定采样时间内钟差的变化量,并由此计算出钟差的变化速度,就可以得出频率源相对于标准信号的频率准确度^[4]。其原理是先测量标准信号与频率源之间钟差 Δt_1 ,然后经过采样时间 t 采样后再次测量它们的钟差 Δt_2 ,根据表达式 $\frac{\Delta f}{f_{\text{标称}}} = \frac{\Delta t_1 - \Delta t_2}{t_{\text{采样}}}$ 就可求出频率源的准确度。

测量钟差实际上是测量频率源给出时刻与标准时刻之间的时间间隔,时间间隔的测量原理如图 1 所示。

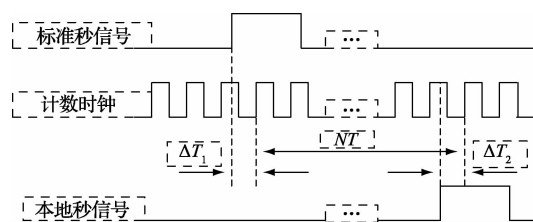


图 1 时间间隔测量原理

从上图可以看出,要计算标准秒与本地秒信号的钟差,其实就是要分别求出 ΔT_1 、 NT 、 ΔT_2 3 个时间间隔,然后根据公式 $t = \Delta T_1 + NT - \Delta T_2$ 计算即可。其中 NT 是标准秒与本地秒信号时间间隔中计数时钟的整数倍部分,而 ΔT_1 、 ΔT_2 是标准秒和本地秒信号与下一个相邻的计数脉冲时钟上升沿之间的时间间隔。

在航天武器试验任务中,一般对频标的准确度指标要求优于 $1\text{E}-11$ 。如果要将频率源校准到 $1\text{E}-11$,而使用的时间间隔测量分辨率只有 100 ns,则计算所需的采样累计时间是 10 000 s;若采用 1 ns 的高分辨率时间间隔测量,则所需的采样累计时间只有 100 s。因此为了在短

时间内能够测量出频率源的准确度,必须采用高分辨率的时间间隔测量技术^[5-9]。基于延迟线内插法(TDC法)的高精度时间间隔测量技术已广泛应用于脉冲激光测距等工程实践之中^[10-12],TDC法是将时钟给出的时刻和标准时刻分别作为延迟线的起止信号,通过统计经过的延时单元个数并结合延迟单元的延迟时间计算出信号间隔,它具有测量精度高的优点,能满足钟差测量精度的要求。

在本设计方案中, NT 的测量是通过在FPGA中设计一计数器,在标准秒信号上升沿到来时“开门”,计数器开始计数,而在本地秒信号上升沿到来时“关门”,计数器停止计数,计算时钟脉冲个数即可得到 NT 的值;而 ΔT_1 、 ΔT_2 不是计数时钟的整数倍,而且当计数时钟周期很小时(采用10 MHz的计数时钟,其周期为100 ns), ΔT_1 、 ΔT_2 的值都很小,所以必须采用高精度的时间间隔测量技术实现,采用德国ACAM公司生产的TDC-GP2芯片,它使用延迟线内插技术可进行高精度的时间间隔测量,测量精度高达65 ps,可满足对 ΔT_1 、 ΔT_2 的测量精度要求,在实现上采用2片TDC-GP2芯片分别完成对 ΔT_1 、 ΔT_2 的测量,在FPGA中设计了一软核处理器,以中断方式通过SPI总线与2片TDC-GP2芯片进行通信,接收测量结果和对芯片的内部寄存器进行配置。由于钟差的测量数据要通过试验任务IP网发送至时统主站以进行守时情况监测和辅助判断,所以在硬件电路中专门设计了网络接口,另外考虑本地监测的需要,还设计了异步串行通信接口。

3 硬件电路设计

3.1 系统组成

系统硬件主要由FPGA模块、钟差测量模块、数据通信模块3部分组成,在FPGA芯片中,设计了3个软件模块,分别为信号整形模块、时钟计数模块、软核处理器模块,系统硬件组成如图2所示。

待测钟差的标准秒信号和本地秒信号首先送入FPGA,在FPGA中进行信号整形形成脉宽为 ΔT_1 、 ΔT_2 的信号,分别送2片TDC-GP2芯片进行时间间隔测量,测量结束后向FPGA中的软核处理器申请中断,通过SPI总线读取测量结果。同时,标准秒信号和本地秒信号时间间隔中的整数倍计数脉冲数 NT 在FPGA中设计计数器进行测量,FPGA中的软核处理器对三者的测量结果进行计算,求出标准秒信号和本地秒信号的时间间隔,并通过网络接口和异步串行通信接口UART发送。

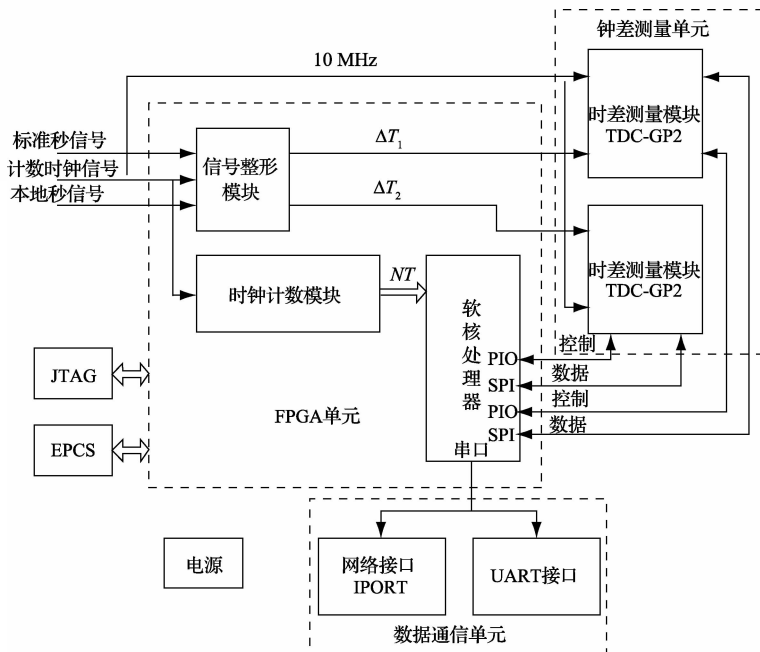


图2 硬件组成

3.2 单元模块电路

1) FPGA 模块

FPGA 模块作为系统硬件的核心,主要完成对 NT 数据的测量、对 TDC-GP2 芯片进行控制并接收其测量的 ΔT_1 、 ΔT_2 的数据、对钟差数据进行串行发送等功能。

TDC-GP2 芯片的通信 FPGA 芯片选用 Altera 公司 Cyclone IV 系列 EP4CE22E22I7,它具有 22323 个逻辑单元、594 Kbits 的嵌入式存储器、66 个 18×18 嵌入式乘法器、4 个通用的 PLL、8 个 I/O 块,最大用户 I/O 为 153 个,完全可以满足设计的需要。

FPGA 芯片的 I/O 供电电压为 3.3 V,内核电压为 1.2 V,PLL 供电电压为 2.5 V,采用集成低压降三端线性稳压器 LM1117 芯片供电。

由于 Cyclone IV 器件使用 SRAM 单元存储配置数据,每次器件上电后,配置数据会被下载到 FPGA 芯片中,根据 FPGA 的配置数据大小,选用低成本的 Altera EPCS 系列串行闪存器件 EPCS16 进行数据配置。

2) 钟差测量模块

钟差测量模块主要采用德国 ACAM 公司的 TDC-GP2 芯片完成对钟差中 ΔT_1 、 ΔT_2 的测量。TDC-GP2 芯片采用延迟线内插技术,通过测量信号经过延迟逻辑单元的个数来计算时间间隔,它具有测量精度高特点。

ΔT_1 、 ΔT_2 的测量分别采用单独的 2 片 TDC-GP2 芯片实现,图 3 只给出了其中一路的测量电路图。在图中,EN_START_T1、EN_STOP1_T1、EN_STOP2_T1 分别为 TDC-GP2 的 Start、Stop1、Stop2 的使能控制

信号,INT_T1 为中断信号输出,均连接至 FPGA 芯片的软核处理器模块,RSTN_T1 为 TDC-GP2 的复位信号,SSn_T1、SCLK_T1、MOSI_T1、MISO_T1 为 SPI 通信接口信号,与 FPGA 软核处理器配置的 SPI 接口直连。START_T1 为测量启动信号,通过 FPGA 软核处理器进行控制,GPS_SECOND_AS、GPS_SECOND_AE 为起始、结束信号,从 FPGA 中的信号整形模块送来,二者的时间间隔为 ΔT_1 。

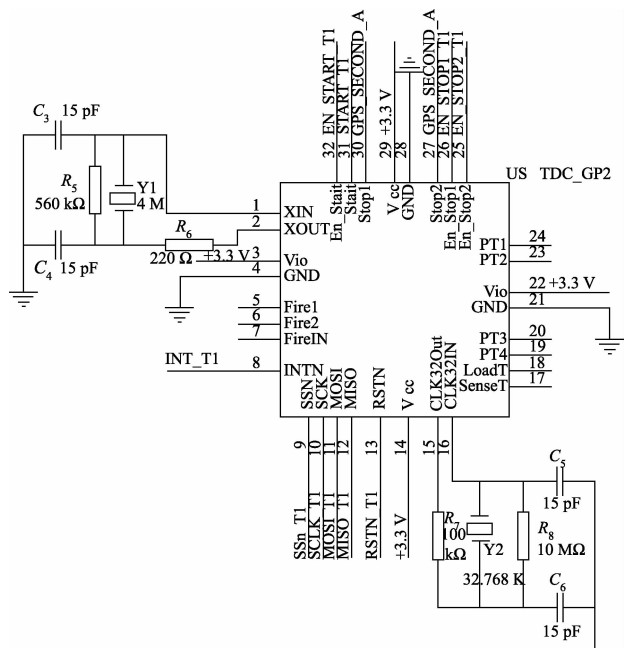


图3 钟差测量模块硬件电路

对于 ΔT_2 的测量与 ΔT_1 原理相同,这里不再赘述。

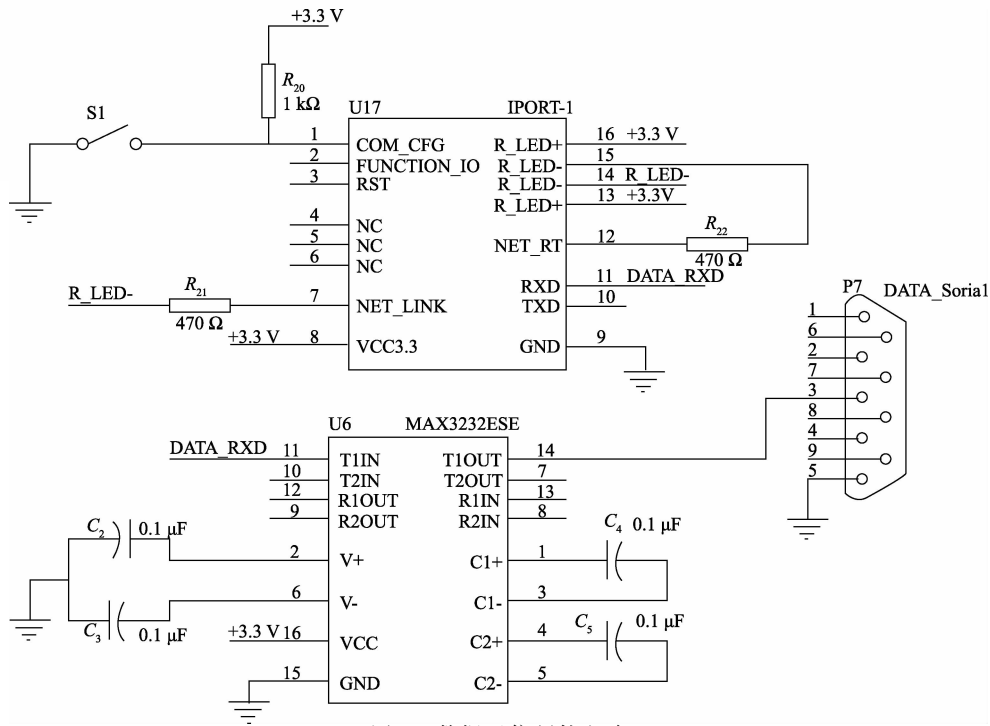


图4 数据通信硬件电路

3) 数据通信模块

数据通信模块主要完成钟差结果的数据发送,由于要利用试验任务 IP 网将测量结果发送给时统主站,所以设计了网络接口。网络接口采用周立功公司生产的 IPORT 串口服务器模块实现,只需经过配置(开关 S1 闭合时),即可将 FPGA 芯片中发送的串行测量结果转换为网络接口。另外在电路中还设计了异步串行接口驱动器,完成串行测量数据电平 TTL 到 RS232C 的变换,用于本地测量数据的监测,串行接口驱动器采用 MAX3232ESE 芯片。数据通信模块的硬件电路如图 4 所示。

4 软件设计

软件设计主要是 FPGA 软件的开发,采用 Quartus II

10.0 和 Nios II 10.0 软件开发环境,使用原理图和 Verilog 语言混合编程。在 FPGA 软件中设计实现了软核处理器模块、时钟计数模块、信号整形模块 3 个模块,下面分别进行描述。

4.1 软核处理器模块

在 Quartus 软件中利用 SOPC 工具设计了一 Nios II 软核处理器,时钟周期为 50 MHz,配置有 UART 串行接口、2 个 SPI 接口,PIO 接口等,主要完成与 TDC 芯片的 SPI 通信、接收 TDC 的中断信号、控制 TDC 芯片的开始、停止使能,完成对外外部的异步串行数据通信功能,软核处理器软件采用 Nios II 10.0 软件开发,设计生成的软核处理器模块如图 5 所示。

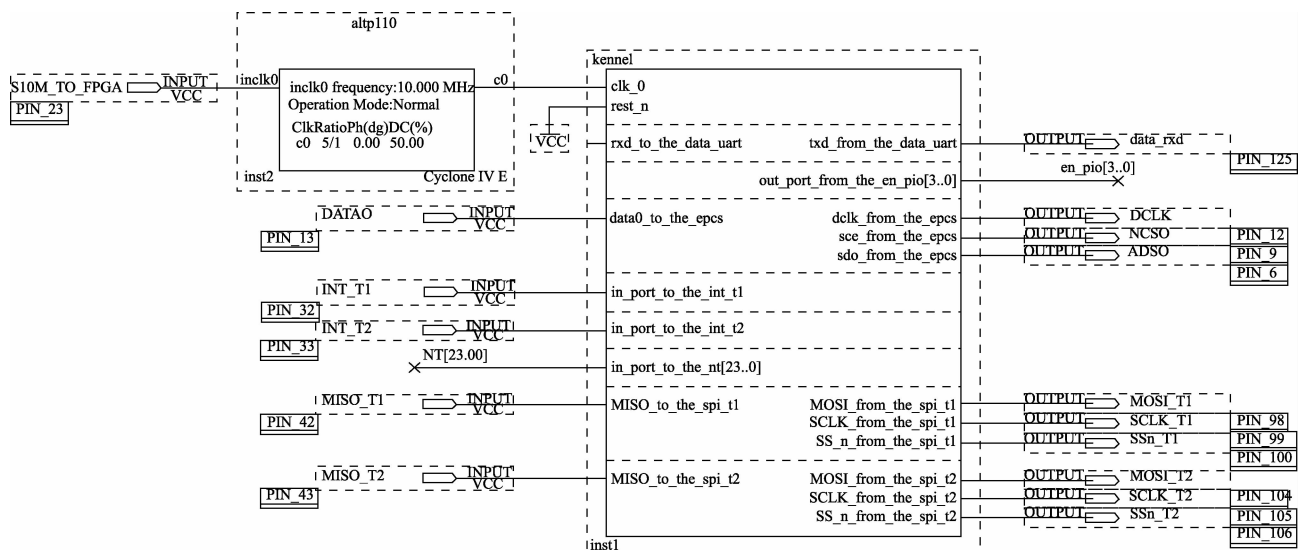


图5 软核处理器模块

4.2 时钟计数模块

在FPGA中设计的计数脉冲整数倍计数器如图6所示,标准秒信号触发计数器对计数脉冲进行计数,

而本地秒信号禁止计数,计数结果通过NT[23..0]输出。

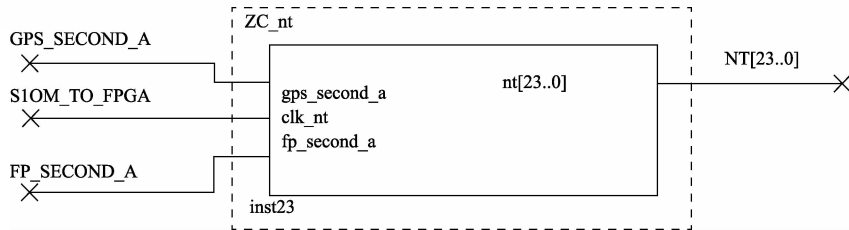


图6 时钟计数模块

该时钟计数模块采用Verilog语言编程实现,主要用于测量标准秒和本地秒的整数计数值,在设计中计数脉冲信号频率为10 MHz,按最大计数值为1 000 000算,输出的计数结果用24位二进制数表示。

4.3 信号整形模块

在FPGA中,信号整形模块通过D触发器实现,如

图7所示。对输入的标准秒信号和本地秒信号进行整形后,输出的信号前沿为标准秒或本地秒的前沿,后沿为下一个10 M计数脉冲的上升沿,这样输出的整形信号脉宽正好为 ΔT_1 、 ΔT_2 ,用于TDC-GP2电路中进行时间间隔测量。

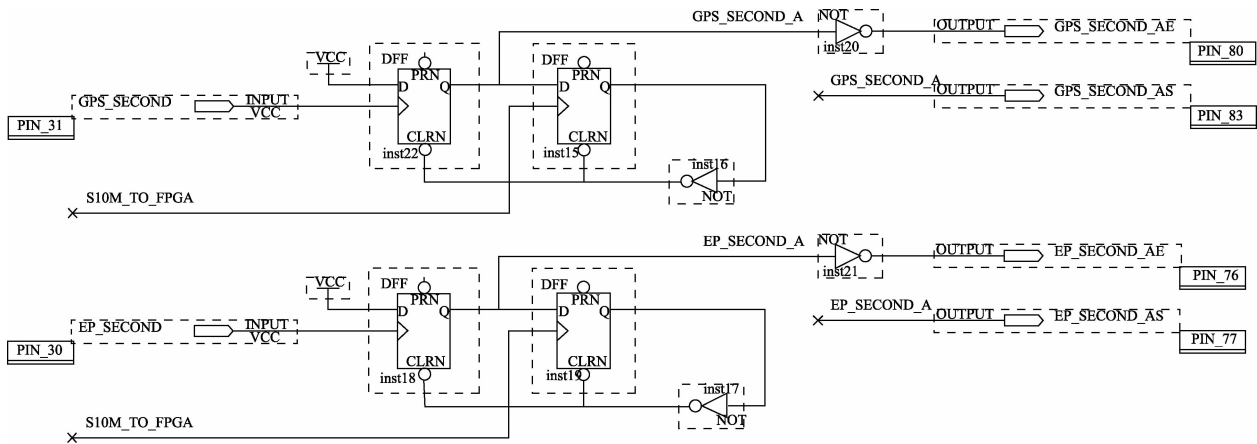


图7 信号整形模块

5 实验结果

为了验证钟差测试系统的测量精度,对测控站点本地铷钟分频输出的秒信号和GPS秒信号之间的时差进行了测试,并将测量结果与SS1991型高精度计数器的测量结果进行了比对,通过人为调整时差的大小,共进行了3组测量,测量结果如表1所示。

表1 测量结果比对情况

组数	SS1991 高精度 计数器测量结果/ns	本系统测量 结果/ns	比对 误差/ns
第1组	153 678.52	153 678.5	0.02
第2组	3 789 216.47	3 789 216.5	0.03
第3组	3 311.89	3 311.9	0.01

从表1中,本系统与SS1991高精度计数器的测量结果误差比对情况来看,二者误差均小于0.1 ns,达到了预定设

计的指标要求,可满足测控站点高精度钟差测量的需要。

由于本钟差测量系统具有网络接口,可将测量结果发送到时统主站,还设计了远程测控站点守时情况监测和辅助判断系统软件,软件界面如图8所示。

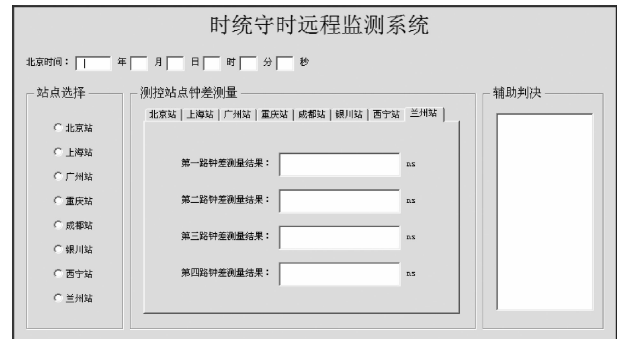


图8 时统守时远程监测系统界面

监测软件可完成测控站点的选择、显示各测控站点的

钟差测量结果、对超出范围的钟差站点及路数进行提示等功能,从而完成对远程测控站点时统守时结果的辅助判决。

6 结 论

基于飓风四代 FPGA 芯片的优势和 TDC-GP2 延迟线内插测量技术,设计实现了一款钟差测试系统,并可通过网络接口和异步串行接口发送测量结果,利用试验任务 IP 网可将测量结果发送给时统主站,解决了总体人员不能在时统主站有效对各测控站点的守时情况进行实时监测和辅助判决的问题,有力地保障了试验任务的圆满完成。

该系统由于基于 FPGA 和 TDC-GP2 设计实现,具有工作稳定可靠、拓展性强等特点,也可应用到其他高精度时间间隔测量的场合。

参 考 文 献

- [1] 吴厚航. 深入浅出玩转 FPGA[M]. 北京:北京航空航天大学出版社, 2010.
- [2] Altera Corporation. CycloneIV Device Handbook[Z]. 2011.
- [3] ACAM Mess-Electronic. TDC-GP2 Data Sheet[Z]. 2006.
- [4] 胡炳元,许雪梅. 时间频率的精密计量及其意义[J]. 物理教学探讨, 2006, 24(6):1-3.

(上接第 62 页)

- [7] GRAY P J, MCCARTHY C T. A global bolted joint model for finite element analysis of load distribution in multi-bolt composite joints[J]. Composites, Part B, 41(2010):317-325.
- [8] 陈海欢,刘汉旭,李泽江,等. 飞机结构多钉连接有限元计算与分析[J]. 航空工程进展, 2012, 3(4): 457-462.
- [9] 刘兴科,李亚智,刘向东,等. 金属和复合材料多钉连接钉载分配研究[J]. 航空工程进展, 2011, 2(2): 193-198.

- [5] 曾亮,孟庆杰,徐伟. 利用 GPS 驯服校频技术提高晶振性能[J]. 计量技术, 2008(5):6-8.
- [6] 朱伟. 嵌入式电子校准技术在天馈线测试仪中的应用[J]. 国外电子测量技术, 2014, 33(4):15-17.
- [7] 赵苏坤,汪普宏. 一种高分辨率数字时间鉴别器设计[J]. 国外电子测量技术, 2012, 31(10):51-54.
- [8] 曾倩,袁海文,张莉,等. 测试系统多智能体建模技术及应用[J]. 仪器仪表学报, 2012, 33(6):1427-1434.
- [9] 王欢,黄晨. 高精度无线环境温湿度测量系统设计研究[J]. 电子测量与仪器学报, 2013, 27(3):211-216.
- [10] 卢祥弘. GPS 同步校频技术在三维电磁采集系统中的应用[D]. 长沙:中南大学, 2010.
- [11] 杨佩. 基于 TDC-GP2 的高精度脉冲激光测距系统研究[D]. 西安:西安电子科技大学, 2010.
- [12] 徐圣法. 基于 TDC-GPX 的高精度时间间隔测量方法[J]. 国外电子测量技术, 2012, 31(12):40-41.

作 者 简 介

冯胜民,工学硕士,工程师,主要研究方向为雷达测控、嵌入式系统开发等。

E-mail: fsmfkx11@163.com

作 者 简 介

姜昊,1984 年出生,工程师,主要研究方向为疲劳和损伤容限分析。

E-mail: jianghao001@126.com

姜金辉,1981 年出生,副教授,主要研究方向为振动信号处理与分析、虚拟仪器设计等。