

基于自校正的大时延模拟源高精度实现技术

胡勇 张靖悉 李玥

(中国西南电子技术研究所 成都 610036)

摘要: 针对基于异步双存储技术的大时延模拟源精度难以提升的问题,提出了一种实时校正方法。自校正充分利用异步双存储的粗细两级存储延时模式,在细延时阶段完成时延闭环测量,在粗延时阶段完成时延修正。自校正通过模拟源系统内部闲余的数字资源实现,以低消耗、低成本,同时不影响模拟源正常工作,实现了高精度时延模拟。深入研究了异步双存储延时技术,提出了自校正原理,介绍了自校正的具体实现方法,通过对比实验验证了自校正技术对于精度的提升切实可行。

关键词: 异步双存储; 大时延模拟源; 自校正; 高精度

中图分类号: TN9 **文献标识码:** A **国家标准学科分类代码:** 460.40

Technology of implementing high-accuracy on self-correcting for big-delayer

Hu Yong Zhang Jingxi Li Yue

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: Aiming at the problem that accuracy of the big-delayer based on asynchronous double-memory technology is hard to be advanced. This paper proposes a real-time self-correcting method. Self-correcting makes full use of the rough-fine two stage delay of asynchronous double-memory to make the closed-loop measurement in fine stage, and correct in rough stage. Self-correcting was realized with the digital resource not in use of Big-delayer, which realized high accuracy delay with low consumption and low costing without disturbing the delayer when it working. A principle of self-correcting was proposed on deeply researching asynchronous double-memory technology, and the method of how to implement self-correcting was introduced, contrast test was conducted to prove that the real-time self-correcting technology can really advance the accuracy.

Keywords: asynchronous double-memory; big-delayer; self-correcting; high accuracy

1 引言

在航天深空测控系统以及雷达系统中广泛采用大时延模拟源进行测距和定位的标定或校正。现有时延实现的方法有模拟信号延时和数字存储延时两类:模拟信号延时主要通过同轴电缆、光纤、超导等材料的实现,受传播介质的影响,实现的最大时延值在几十 μs 量级^[1],不能作为大时延模拟源的实现技术;利用存储器实现信号延时,最早于 20 世纪 70 年代由国外学者提出,但当时由于存储器电路由模拟电路实现,采样率低,时延精度只能到 μs 级。随着数字技术的蓬勃发展,迎来存储延时技术发展的一个高峰,国内外的时延模拟源越来越多的利用数字存储实现延时,并在此基础上涌现了大量新方法以提高其延时精

度,如:采用模数结合数字处理的方式实现高精度小时延射频延时器^[2];基于 FPGA 可编程电路,通过布局布线约束,利用 FPGA 内部查找表单元实现延时,延时精度可到 ns 级但时延量程不大^[3];使用两片工作在乒乓操作模式下的 SRAM 实现延时,该项技术对于大量程高精度的时延实现是一个突破,可实现 ms 级时延的几十 ns 的精度^[4];异步双存储技术的出现进一步将时延量程扩展,实现了精度为几十 ns 的 s 级时延,异步双存储技术采用一慢一快异步读写时钟分粗细两级存储延时,解决了大时延和高分精度的矛盾^[5],但是基于该技术的大时延模拟源,由于数字存储的固有特性,导致模拟源在开机复位或设置更新时会产生时延漂移,该时延漂移成为制约模拟源时延精度进一步提高主要因素;国外的信道仿真器出现了 ns 级的 s

收稿日期:2015-00

级时延,也是采用存储延时的方式实现,但具体实现细节未见文献报道。随着技术的发展,时延模拟源应用领域对大时延模拟源时延模拟精度提出了越来越高的要求,然而基于异步双存储技术的大时延模拟源受制于数字存储硬件特性精度难以提升,远远不能满足应用需求。将对异步双存储延时原理进行深入研究,并提出在线自校正的方法以实现时延模拟源精度的成倍提升。

2 工作原理

2.1 异步双存储延时技术

对于利用存储器实现信号延时的技术,延时分辨率

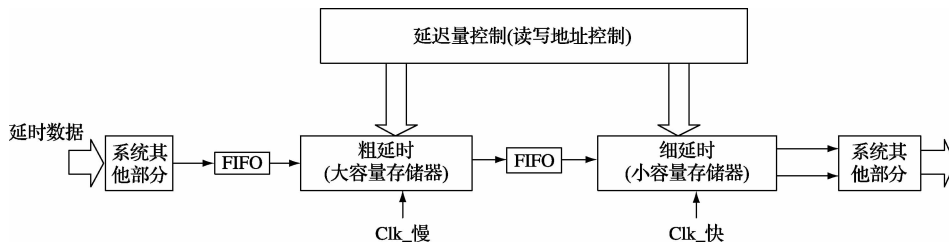


图1 异步双存储延时技术实现原理

2.2 自校正原理

异步双存储技术虽然提高了时延分辨率,但本身仍是基于存储延时的原理,不能克服存储器自身硬件特性带来的时延抖动,在 s 级时延量程为出现高达数十 ns 的抖动。为了提升时延精度,采取实时自校正技术,在每一次延时,利用模拟源系统本身的数字资源对本次时延进行内部闭环测量^[6],然后对时延值进行修正,实现时延的精确模拟。

自校正充分利用异步双存储的两级存储模式,在模拟源时延模拟的细延时阶段,通过在固定存储位置用一个较快的时钟频率对延时数据进行跟踪,完成延时在线测量;在粗延时阶段,通过更改粗延时存储终止地址来补偿由细延时产生的时延误差,改变终止存储地址完成实时延时修正。

3 自校正实现方法

对大时延模拟源的自校正依次经在线时延测量、误差计算和误差修正3个步骤,其中在线时延测量又包括数据加标记、跟踪计数2个分步骤^[7]。上述3个步骤的前两步在细延时阶段完成,最后一个步骤在粗延时阶段完成。具体步骤包括:在模拟源时延模拟的细延时阶段,将数据标记加在一个数据包的首部或尾部的几个字节中的空闲位,并设置一个专用的标记寄存器存储包头标记。对被延时数据加标记,同时设置与该阶段存储时钟同频的一个计数器;计数器跟踪被加标记数据的实际延时,时延设置更新时产生一个复位脉冲给计数器,计数器清零并开始计数,每来一个时钟信号,更新标记移位寄存器的值并判断是否与标记寄存器的值相等,如果不相等计数器值加1,如果相等,停止计数器计数,完成实际延时的在线时延测

由延时存储器读写时钟周期决定,只有提高存储器读写时钟频率才能得到高分辨率,然而对于大时延模拟,快速的读写时钟会引起巨大的存储容量开销。异步双存储延时技术是基于存储延时的思想,以节约存储资源同时实现高分辨率为目的,采用慢快两级存储延时技术,将延时分为粗、细两级延时。首先完成时延的大动态范围,由容量较大读写时钟较慢的存储器实现,这一级称为粗延时,时延分辨率不高。其次完成时延分辨率的提升,由容量较小读写时钟快的存储器实现,这一级称为细延时,延时量程很小但延时精度很高。如图1所示为异步双存储延时技术实现原理。

量;在粗延时阶段,通过更改粗延时存储终止地址来补偿由细延时产生的时延误差,改变终止存储地址完成实时延时修正,具体做法为:如果时延误差为正则终止地址相应减少,时延误差为负则终止地址相应增加,终止地址改变量由时延误差除以粗延时存储时钟获得。图2为大时延模拟源高精度实时校准的流程。

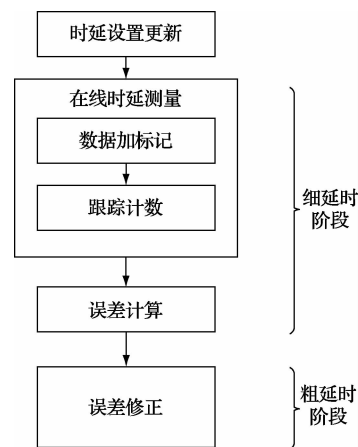


图2 大时延模拟源高精度实时校准的流程

3.1 在线时延测量

3.1.1 数据加标记

对延时数据的一个数据包中某几个字节加标记,一般加在数据包的首部或尾部。选取字节中的空闲位为标记位,加有标记的字节组成包头或包尾,同时将包头标记存入标记寄存器。设延时数据为14位,存储器为16位,一

个数据包总共8个双字节,数据包每个字节的前两位为空闲位,将在数据包头的前4个双字节加标记00,01,10,11,则前4个双字节组成包头,标记寄存器的值为00011011。如图3所示为数据加标记原理。

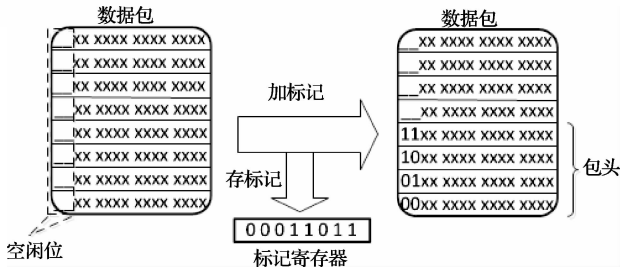


图3 数据加标记原理

3.1.2 跟踪计数

利用现有可编程资源实现一个计数器,该计数器用来记录实际时延时间^[8]。并在包头经延时后理论存储位置设置观测点,即设置一个标记移位寄存器,该寄存器位数同标记寄存器位数相同,用于存储从观测点取出的标记位。在计数器跟踪计数工作流程中,当时延设置更新时产生一个复位脉冲给计数器,计数器复位清零并开始计数,每来一个时钟信号,更新标记移位寄存器的值并判断是否与标记寄存器的值相等,如果不相等计数器值加1,如果相等意味着在观测点发现包头,延时完成,停止计数器计数^[9]。整个跟踪计数过程受两个控制信号控制,分别为复位控制信号和时钟控制信号。复位控制信号在在时延设置更新时输出一个脉冲,将计数器清零,将标记移位寄存器拉为高阻状态。时钟信号同用于细存储延时的存储器

时钟同频,控制标记移位寄存器更新及与标记寄存器进行同或运算,判断是否与标记寄存器的值相等和计数器计数。图4所示为跟踪计数实现流程。

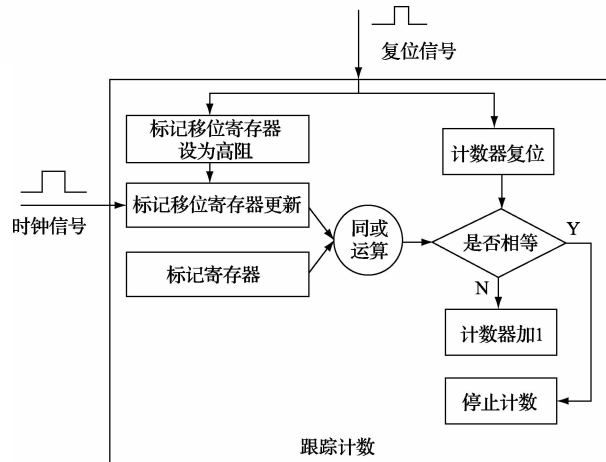


图4 跟踪计数实现流程

3.2 误差计算

时延误差即为延时数据实际存储位置与理论存储位置之间的时间差。首先由细时延值(T_i)和细时延时钟频率(f_0)计算出计数器理论计数值(C_i),计数器的计数值也即包头延时后存储位置到起始存储位置的距离。如图5所示为误差计算演示。理论计数值(C_i)由如下计算公式得到:

$$C_i = T_i f_0 \quad (1)$$

时延误差(T_e)由计数器实际计数值(C_r)和理论计数值(C_i)通过如下公式计算得到:

$$T_e = (C_r - C_i) / f_0 \quad (2)$$

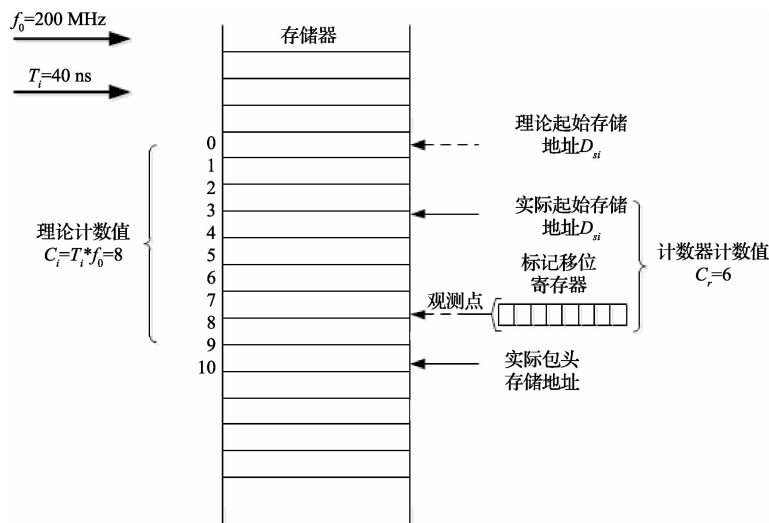


图5 误差计算演示

3.3 误差修正

通过更改粗延时存储终止地址来补偿由细延时产生的时延误差,如果时延误差为正则终止地址相应减少,时延误差为负则终止地址相应增加。如图6所示为误差修正演示图,由于粗延时和细延时工作在不同的时钟频率

下,补偿量为时延误差(T_e)和细延时时钟周期($1/f_1$)的乘积,理论终止存储地址(A_e)由理论终止存储地址(A_a)减去补偿量得到,计算公式如下:

$$A_e = A_a T_e / f_1 \quad (3)$$

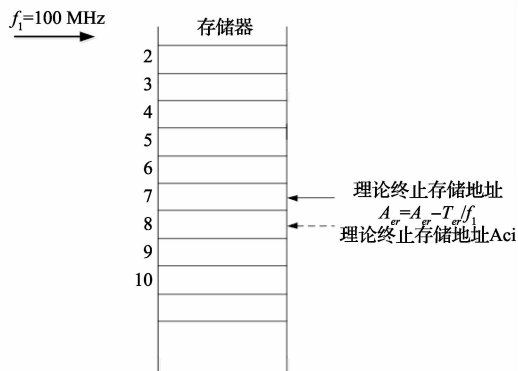


图6 误差修正演示

4 实验验证

为验证自校正技术对提高大时延模拟源精度的可行性,分别对同一台大时延模拟源,在采用自校正之前和采用自校正之后,选取高中低时延量值进行多次测量,测量的复现性条件相同(信号频率相同、操作人员相同、环境温度相同),并计算同一量值多次测量的偏差(时延精度的量值表征)^[10]。表1为对比测量结果,由表1可见采用自校正的偏差相对于未采用自校正的偏差提高了一个量级,即采用实时自校正技术后的大时延模拟源时延精度明显提高。

表1 采用实时自校正和未采用的大时延模拟源时延情况对比

序号	是否校正					
	否			是		
1	1	5	10	1	5	10
2	1.000 000 072	5.000 000 021	5.000 000 021	1.000 000 007	5.000 000 007	10.000 000 007
3	1.000 000 045	5.000 000 080	5.000 000 090	1.000 000 004	5.000 0000 02	10.000 000 001
4	1.000 000 032	5.000 000 016	5.000 000 016	1.000 000 009	5.000 000 006	10.000 000 002
5	1.000 000 047	5.000 000 026	5.000 000 026	1.000 000 006	5.000 000 006	10.000 000 009
6	1.000 000 056	5.000 000 013	5.000 000 013	1.000 000 009	5.000 000 007	10.000 000 008
偏差	1.000 000 029	5.000 000 035	5.000 000 097	1.000 000 005	5.000 000 002	10.000 000 001
1	1.7×10^{-8}	2.5×10^{-8}	4.5×10^{-8}	4×10^{-9}	5×10^{-9}	7×10^{-9}

5 结论

本文提出的实时自校正的大时延模拟源的高精度实现技术,在不改变大时延模拟源硬件结构及不影响其正常工作的情况下,大幅提升了大时延精度,实现 s 级量程 ns 级不确定度。本技术以最小的资源开销、最低的经济成本,突破了现有基于异步双存储延时的大时延模拟源时延精度瓶颈,打破了航天测控系统及雷达系统中大时延模拟源受制于数字硬件特性缺陷精度停滞不前的僵局,提高了时延精度,进而满足了测距和定位的高精度要求。

参考文献

[1] 张春熹,张晓青,胡姝玲,等. 可编程微波光纤延迟线时延特性分析与测量[J]. 仪器仪表学报, 2009, 30(11):2237-2242.
 [2] 杨娟,胡兵,沈翰宁,等. 无线通信系统射频延时器的设计与实现[J]. 电视技术, 2012, 36(7):35-37, 48.
 [3] 南京理工大学. 基于 FPGA 纳秒级可编程延时电路的数字相关器: 中国, CN201310496588. X[P]. 2014-1-29.
 [4] XIE Y L, JIN L N, CHEN Z G. Design and implementation of fpga based digital delayer[J]. Video Engineering, 2013, 37(23):73-77.

[5] 兰宏志. 测控信号的动态模拟[J]. 电讯技术, 2012, 52(6):902-905.
 [6] 周翟和,汪丽群,沈超. 基于 CPLD 的磁致伸缩高精度时间测量系统设计[J]. 仪器仪表学报, 2014, 35(1):103-108.
 [7] 刘明波,余璿,周峰. 基于 FPGA 的时延测试方法研究[J]. 国外电子测量技术, 2011, 30(7):59-61.
 [8] 赵志雄,李孝辉,刘娅,等. 基于 PCI 总线的高精度大量程时间间隔计数器研制[J]. 电子测量与仪器学报, 2014, 28(12):1317-1324.
 [9] 徐菲. 基于时延估计的四元十字阵被动定向近似误差分析[J]. 电子测量技术, 2014, 37(12):29-31.
 [10] 王锋,刘美全,孙钦蕾. 被动探测中相关时延估计研究[J]. 国外电子测量技术, 2014, 33(2):61-64.

作者简介

胡勇, 1972 年出生, 学士。主要研究方向为无线电、电学计量技术研究。
张靖悉, 1984 年出生, 硕士研究生。主要研究方向为测试计量技术及仪器。
李玥, 1984 年出生, 学士。主要研究方向为无线电计量。