

基于 DSP 的高速数据采集处理系统的研究

吴宇 黄新迪 吴媚 李铭
(广西壮族自治区计量检测研究院 南宁 530007)

摘要:介绍了一种基于 DSP 的高速数据采集处理系统的设计及其关键技术。系统使用高速 A/D 和 CPLD 实现了采样率为 40 Msps 的高速数据采集,然后将采集到的数据送到 DSP 进行处理,实现了去直流处理、参数测量、数字滤波、信号抽取和插值、频谱分析等功能。通过按键操作,将处理后的波形图和参数用液晶屏显示,可以实现数据采集波形、相位谱、功率谱等显示。系统的测试结果表明:系统实现了研究的预期目标,可进一步开发为高速的多功能虚拟仪器,对后续的研究工作有一定的借鉴意义。系统人机界面友好,操作简便。

关键词:高速数据采集;DSP;高速 A/D;CPLD

中图分类号: TN98 **文献标识码:** A **国家标准学科分类代码:**

Study of high-speed data acquisition and processing system based on DSP

Wu Yu Huang Xindi Wu Mei Li Ming
(Guangxi Research Institute of Metrology & Test, Nanning 530007, China)

Abstract: This paper introduces the design and key technology of a high-speed data acquisition and processing system based on DSP. The system realizes high-speed data acquisition of 40 Msps by high-speed A/D and CPLD, and sent the data to DSP for processing. It can realize the functions of DC removal, parameter measurement, digital filter, signal sampling and interpolation, spectrum analysis. Through key operation, the system display processed waveform and parameters with LCD screen, and can display data acquisition waveform, phase spectrum, and power spectrum. The test results of system show that the system has realized the anticipated goal of study. The system can be further developed as a high speed multi function virtual instrument. The research results have certain reference significance for the follow-up research work. The man-machine interface is friendly and the operation is simple.

Keywords: high-speed data acquisition and processing; DSP; high-speed A/D; CPLD

1 引言

数据采集是获取信息的基本手段,广泛应用于各种测试和控制系统中。从现有的技术和产品来看,低速、低分辨率的数据采集技术已比较成熟,实现起来也比较容易。但高速数据采集系统由于受器件(主要是 ADC)的制约,真正实现高速采集的产品还不是很多。为满足实时检测的需要,实现高速的数据采集已成为一个发展方向。在国内,由于历史、技术等原因,产品在一定程度上存在通用性差,用途单一、环境适应性差等缺点,还没有形成系统化、模块化、标准化的通用产品,无法满足国内用户不断增长的需要,也不能与国外产品相抗衡,正因为如此,价格高昂的国外产品占据了国内相当大的市场^[1-6]。因此,积极研

制和开发具有自主知识产权的、性能优异的、系列化的高速数据采集处理产品具有重大意义。

2 系统硬件设计及工作原理

系统结构示意图如图 1 所示。由图可知,系统主要由信号调理模块、高速模数转换模块、高速时钟模块、高速存储模块、CPLD 控制模块、DSP 模块、键盘和液晶显示模块组成。被测模拟信号通过信号调理电路将幅值调理在 A/D 采集范围内;差分电路将单端模拟信号变成差分模拟信号;高速 A/D 电路在 CPLD 和高速时钟信号的控制下将模拟信号转换为数字信号;数字信号通过缓冲电路、FIFO 电路后被 DSP 读出;DSP 对读到的数据进行处理,并将处理后的数据以图文并显的形式显示在液晶屏上。其中,信

号调理电路的增益大小、FIFO 的读数据、读时钟、液晶显示、键盘检测、数据处理由 DSP 控制处理。A/D 是否输出数字信号、FIFO 的状态检测、FIFO 的写时钟、AD 转换时钟、FIFO 复位由 CPLD 控制处理。液晶显示的内容由 DSP 根据键盘操作实现。

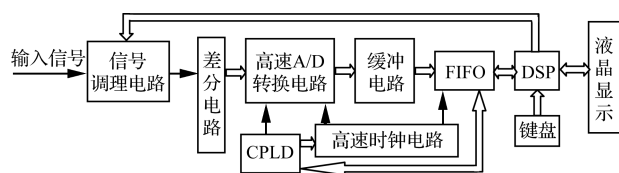


图1 高速数据采集与处理系统硬件结构示意图

3 关键电路模块的设计与实现

3.1 信号调理模块

信号调理电路是由 AD8321 组成的程控放大电路。AD8321 具有频带宽、噪声低和增益可编程等优点,适合在高速数据采集处理系统中用于信号调理^[7]。信号调理模块示意如图 2 所示。

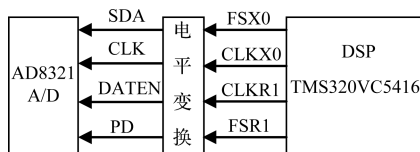


图2 DSP与AD8321接口示意

在本设计中,由 DSP (TMS320VC5416) 直接控制 AD8321 的增益^[8]。AD8321 的控制接口为 SPI 接口,而 DSP 没有 SPI 接口,所以需用软件来模拟 SPI 接口的时序。本设计中采用 DSP 的部分 McBSP 口来模拟输出 SPI 时序。模拟软件应具有以下功能:1) 模拟串行时钟;2) 8 位数据串行输出;3) 片选控制。另外,还应通过软件对 $\overline{PD}$ 端置位或清零来实现允许或禁止信号从 AD8321 输出。McBSP 口输出电平为 3.3 V,而 AD8321 的控制电平为 5 V,因此需用电平转换电路实现电平兼容。

3.2 高速模数转换模块

高速模数转换模块由差分电路、高速 A/D 转换电路和缓冲电路组成。信号经过差分电路送入以 MAX1198 为核心的模数转换电路完成模拟信号到数字信号的转换。MAX1198 在 50 MHz 输入频率和 100 Msps 采样速率下,能达到 48.1 dB 的信号与噪声失真比 (SINAD)。MAX1198 采用差分输入模式能得到更好的 SFDR (无寄生动态范围) 和 THD (总谐波失真)。本设计采用 MAX4108 组成的差分输入电路^[9]。MAX1198 由基准源控制 ADC 的满量程范围。灵活的基准源结构允许使用内部基准或者外部输入基准,以满足提高精度或输入电压范围不同的要求。MAX1198 的电压转换范围为 $REFP(\frac{V_{DD}}{2} +$

$\frac{V_{REFIN}}{4})$ 与 $REFP(V_{DD}/2 - V_{REFIN}/4)$ 之差。可以通过调整 V_{REFIN} 的大小调整电压的转换范围。本设计中,由 CPLD (EPM7128SLC84-10) 直接控制 $\overline{OE}$ 决定 A/D 是否输出数字信号。在 ADC 的数字输出部分使用缓冲电路可以进一步避免过大的容性负载。为了进一步提高 MAX1198 的动态性能,应在尽可能靠近数字输出部分接上一系列的小电阻 (100 Ω)。MAX1198 数据输出端口外接 16 位 CMOS 三态总线缓冲驱动器 SN74ALVH16244。

3.3 高速时钟模块

MAX1198 的时钟信号为 CMOS 兼容信号,A/D 的级间转换取决于外部时钟的上升沿和下降沿的稳定性。因此,时钟信号必须具有抖动小、上升和下降快 (< 2 ns) 的特性^[10]。采样是在时钟的上升沿进行的。因此,要求时钟上升沿具有尽可能小的抖动。Micel 公司的可编程频率合成器 SY89429 能很好的满足以上要求。SY89429 采用锁相环结构,频率编程范围为 25~40 MHz。若外部晶振的频率为 f_{stal} ,则输出频率的计算公式为:

$$f_{out} = \frac{f_{stal} \times M}{8 \times N}$$

式中: f_{stal} 为外部晶振的频率; M 是 9 位二进制计数器,它决定基准频率的倍频数; N 是 2 位二进制计数器。本系统中,采用的外部无源晶振频率为 16 MHz。通过 CPLD 设置 M 值为 320,压控振荡器输出频率为 640 MHz;设置 N 为 3,分频系数为 16,则输出频率为 $f_{out} = 40$ MHz。

3.4 高速存储模块

要实现高速数据的传输,必须对数据进行快速采集、顺序存储和传送。在本设计中,选用的是 IDT 公司的 FIFO 存储器 IDT72V205L15,该器件的存储容量为 4 096 $\times$ 9 bit,存取速度为 40 MHz^[11]。由 CPLD 控制 FIFO 的写时钟 (WCLK),监测满标志 ($\overline{FF}$),以及实现 FIFO 的复位 ($\overline{RS}$)。TMS320VC5416 只是控制 FIFO 的读时钟 (RCLK) 和检测空标志 ($\overline{EF}$),通过 IO 口实现对 FIFO 读数据,并进行处理^[12]。DSP 与 FIFO 的连接示意如图 3 所示。

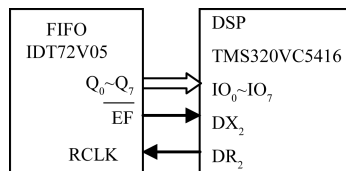


图3 DSP与FIFO连接示意

3.5 键盘和液晶显示模块

键盘与 DSP 的连接示意如图 4 所示。在本设计中,键盘的每个按键通过“与”操作后经电平转换电路与 DSP 的 INT0 管脚相连,每个按键接到 DSP 的缓冲串口 McBSP0~McBSP1 的部分管脚,并将这些管脚设置为普通的 I/O 口使用。当有按键按下时,就会引起 DSP 的 INT0 中断。DSP 通过 McBSP0~McBSP1 的部分管脚检测是哪个按键按下。液晶显示由 DSP 控制。

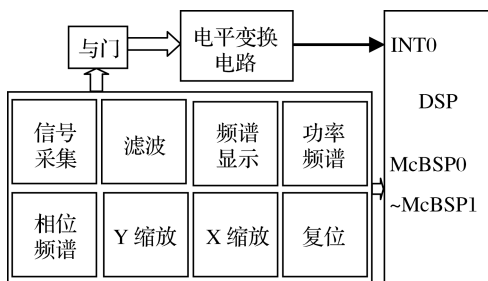


图4 键盘与DSP接口连接示意

4 软件设计

软件采用基于DSP的C语言编程,编译环境为C5416 DSK CCS,程序通过USB接口下载。系统执行的任务程序由键盘控制。系统软件流程如图5所示。

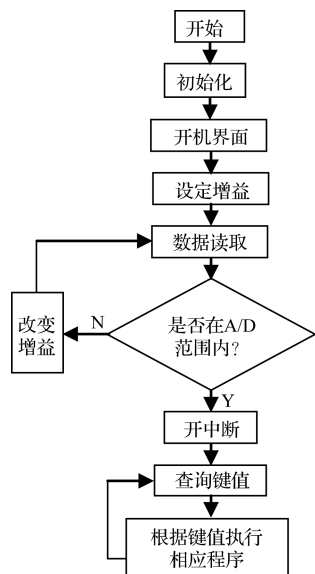


图5 系统软件设计流程

5 实验测试

经测试,系统的主要功能包括:信号采样、滤波、频谱分析、波形幅度(Y轴)调节和波形幅度(X轴)调节功能。

5.1 信号采样功能

设置数英仪器TFG6050 DDS函数信号发生器输出频率为2.5 MHz,峰峰值为0.52 V的正弦波作为测试信号,高速数据采集处理系统对信号进行采样并显示在液晶屏上。波形显示如图6所示。

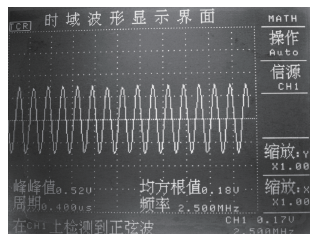


图6 波形显示

5.2 滤波功能

设置函数信号发生器A路输出频率为15 MHz、峰峰值为0.3 V的正弦信号,设置B路输出频率为312.5 kHz、峰峰值为0.5 V的正弦信号,并使A、B两路相加输出。按下信号采集键,得到的信号波形如图7所示。按下滤波键,得到滤波后的信号波形如图8所示。

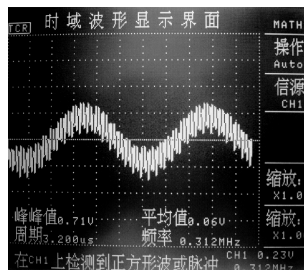


图7 滤波前

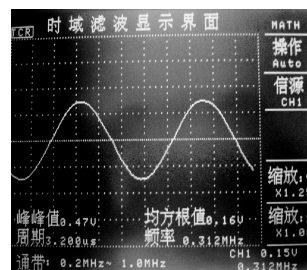


图8 滤波后

5.3 频谱分析功能

设置函数信号发生器输出频率为1.25 MHz、峰峰值为0.5 V的正弦波作为测试信号,本系统对测试信号进行采样并加窗求频谱。可供选择的加窗窗口为矩形窗、汉宁窗和平顶窗。如图9所示为信号的功率谱,如图10所示为信号的相位谱,如图11所示为信号的实频谱,如图12所示为信号的虚频谱。



图9 功率谱

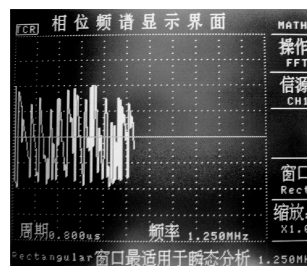


图10 相位谱

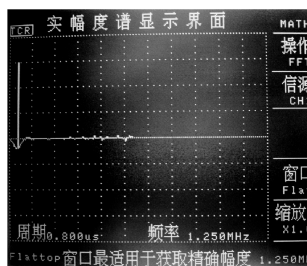


图11 实幅度谱图

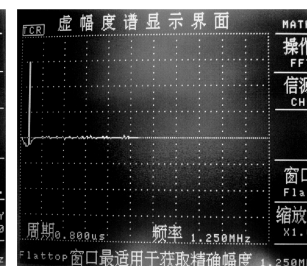


图12 虚幅度谱

5.4 波形幅度(Y轴)调节功能

设置函数信号发生器输出频率为1.25 MHz、峰峰值为0.52 V的正弦波作为测试信号,系统对测试信号进行采样,并通过按键调节波形幅度(Y轴)。系统能实现的波形图(Y轴)放大倍数为:0.25~2.5,间隔调整值为0.25。

如图13所示为采样信号波形在(Y轴)放大1.5倍的波形,如图14所示为是采样信号波形在(Y轴)放大0.5倍的波形。

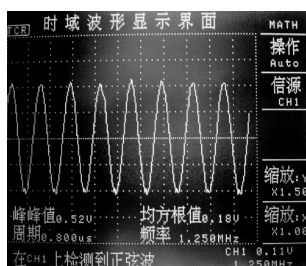


图13 Y轴放大后

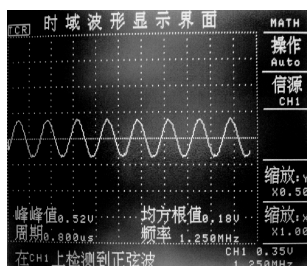


图14 Y轴缩小后

5.5 波形幅度(X轴)调节功能

波形(X轴)缩放是通过将采样数据进行插值或抽取实现的。本系统能实现的波形(X轴)放大倍数为3、4、5、0.2和0.5。如图15所示为函数信号发生器输出频率为5.0 MHz、峰峰值为0.51 V正弦信号波形在(Y轴)放大1.25倍,(X轴)放大5.0倍后的波形。如图16所示为函数信号发生器输出频率为312.5 kHz、峰峰值为0.55 V正弦信号波形在(Y轴)放大1.25倍,(X轴)放大0.2倍后的波形。

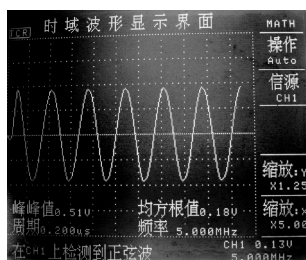


图15 X轴放大后

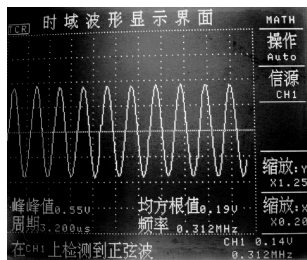


图16 X轴缩小后

6 结论

本文介绍的高速数据采集处理系统能实现采样率为40 Msps的高速数据采集处理。系统在一定程度上弥补了传统的高速数据采集系统功能相对单一的不足,利用DSP强大的信号处理功能实现了高速数据采集处理系统

的多种功能。不仅能实现高速数据采集和信号的时域分析,还能将时域数据转换为频域数据,在频域对信号进行处理,具有一定的实用性。

参考文献

- [1] 杨扩军,田书林,蒋俊,等.基于TIADC的20 GS/s高速数据采集系统[J].仪器仪表学报,2014,35(4):841-849.
- [2] 宋鹏飞,王厚军,曾浩.高速深存储数据采集系统研究与设计[J].仪器仪表学报,2011,32(4):903-912.
- [3] 李红刚,张素萍.基于单片机和LabVIEW的多路数据采集系统设计[J].国外电子测量技术,2014,33(4):62-67.
- [4] 荣少巍.基于FPGA的高精度多通道采集存储系统研究[J].电子测量技术,2014,37(4):108-111.
- [5] 孔令荣,王昊,庄涛.高精度采集系统研究与实现[J].电子测量技术,2014,37(9):122-127.
- [6] 胡肖斌,张会新.多通道高精度实时数据采集存储系统设计[J].自动化与仪表,2012,27(1):48-52.
- [7] 杜毓瑾.AD8321在高速数据采集系统中的应用[J].科技风,2008(20):58-58.
- [8] 闫法钢.基于TMS320VC5416的大容量数据的功率谱估计[J].声学及电子工程,2014(3):35-36.
- [9] 黎嘉明,张林.差分放大电路输入电阻的合理计算[J].电气电子教学学报,2011,33(3):45-47.
- [10] 胡智宏,廖旋煊.高速ADC时钟抖动及其影响的研究[J].微型机与应用,2011,30(2):85-88.
- [11] 王凯,孙锋.异步FIFO的设计分析[J].电子器件,2014(3):431-434.
- [12] 刘明亮,朱江森.数字信号处理对电子测量与仪器的影响研究[J].电子测量与仪器学报,2014,28(10):1041-1046.

作者简介

吴宇,男,1984年出生,硕士,工程师,主要研究方向为计量检测。
E-mail:35280797@qq.com