

基于多周期同步测量的频率计设计

许可行 刘延飞 羊帆
(火箭军工程大学 西安 710025)

摘要:针对工程实践中发现的频率计存在1字节误差以及待测信号幅度过大的问题。基于多周期同步测量计数理论,提出了一种以C8051F020与FPGA为最小系统的频率计制作方案,实现对待测信号频率及脉宽的精确测量。系统主要包括3部分:信号整形部分、频率计算部分、液晶显示部分。待测信号经过信号处理后和标准信号一同输入FPGA内部,单片机协同FPGA对信号进行频率测量并读取测频数据,然后将读取到的数据经过运算处理后显示。经实验验证,该系统测频范围可达0.1 Hz~10 MHz,有效消除了1个字节的误差且具有一定的抗干扰能力。

关键词:多周期同步测量;频率;脉宽;信号整形;抗干扰

中图分类号: TM935.16 **文献标识码:** A **国家标准学科分类代码:** 510.1010

Design of frequency meter based on multi-periods synchronization measurement

Xu Kexing Liu Yanfei Yang Fan
(Rocket Force University of Engineering, Xi'an 710025, China)

Abstract: According to the engineering practice, the problem of 1 bytes error of the frequency meter and lower amplitude of the signal are found. This paper presents a method of making a frequency meter with the minimum system of C8051F020 and FPGA based on the theory of multi-periods synchronization measurement, and realizes the measurement of frequency and pulse width of the measured signal. The system mainly consists of the signal shaping module, the frequency calculation module, the LCD module. After amplification and rectification, the signal to be measured and the standard signal are input into FPGA. Two signals are counted in FPGA, and MCU calculates and processes the receiving data. Finally, the result of measurement is shown in the LCD. The test show that the system can measure the frequency up to 0.1 Hz~10 MHz, effectively eliminate the error of 1 byte and certain anti interference ability.

Keywords: multi-period synchronism measurement; frequency; pulse width; signal shaping; anti-interference

1 引言

随着电子信息的发展,精确测量出仪器设备中各种信号的频率、占空比等电参数已经变得越来越重要。而在工程实践中,对压力、强度、速率、偏移等待测量进行测量,一般经由处理电路转化为电信号,进而对电信号测频的方法实现^[1]。在系统结构设计中,通过数字芯片搭建功能模块组成频率计,用计数器进行信号的分频处理,用定时器作为系统的时钟输入。但是,该设计方案具有操作复杂、测量误差大、不易升级改进等缺点^[2]。在测频方案设计中,运用直接测周法,在被测信号到来的一个周期内,用系统内部产生的标准信号对其进行计数,将所计的数据经过公式换算就得到被测信号的频率。然而,直接测周法在计数

时会产生1个字节的误差,而且测量精度随频率增高而降低,不适用于高频信号的测量^[3]。在整形电路设计中,采用触发器对经过前端调理模块的信号进行整形,随后在高速运放组成限幅器内对信号进行限幅。但是由于触发器的阈值电压一般都较高,无法对输入的小信号进行转换^[4]。针对以上工程实践中发现的情况,本文提出了采样多周期同步测量计数原理的逻辑分析仪设计实现方案。

2 测频原理与分析

2.1 等精度测频法原理

等精度测频结构如图1所示,等精度测频时序如图2所示。CNT_ONE和CNT_TWO模块是两个内部可控的频率计数器模块,EN_ONE和EN_TWO分别是它们的

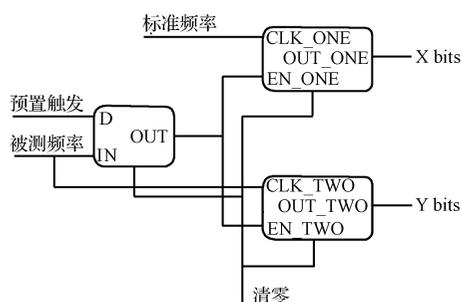


图1 等精度测频结构

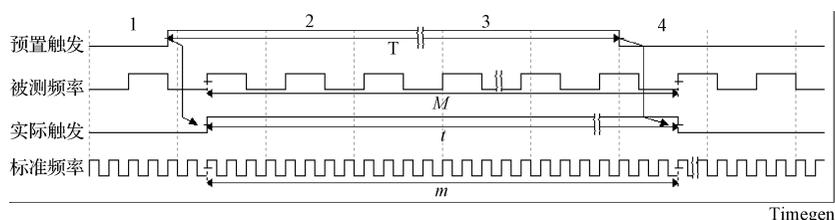


图2 等精度测频时序

在被测信号上升沿到来时,触发器的输出端才变为1电平,计数器才真正开始计数。当T秒后,预置触发信号关闭(下降沿)到来时,然而计数器并没有在此刻马上停止计数,需要等到被测信号随后的上升沿到来时,才通过触发器将这两个计数器同时关闭^[5],这样便完成了1次测频过程。

假设一次预置触发时间T中记录下了值为 N_1 的被测信号和 N_2 的标准频率信号,由图则可得关系式为:

$$f_1/N_1 = f_2/N_2 \quad (1)$$

通过化简可得测量频率的关系式为:

$$f_1 = \frac{N_1}{N_2} \times f_2 \quad (2)$$

假设是在理想状态下,即标准信号无偏差,则测量所得的数据的相对误差可能为:

$$\gamma = \frac{|f_{1e} - f_1|}{f_{1e}} \times 100\% \quad (3)$$

式中: f_{1e} 为被测信号频率的准确值。从图2可得在频率测量中, f_1 计数的开始与结束时间都是由该信号的上升沿进行触发,所以在触发时间T内对 f_1 的计数 N_1 无误差($T=N_s/f_s$)。而对 f_2 的计数 N_2 最多相差一个的误差,即 $|\Delta N_2| \leq 1$,其被测频率的准确值为^[6]:

$$f_{1e} = \frac{N_1}{N_2 + \Delta N_2} \times f_2 \quad (4)$$

将式(2)和(4)分别代入(3)中可以得到如下的关系:

$$\gamma = \frac{|\Delta N_2|}{N_2} \leq \frac{1}{N_2} = \frac{1}{T \times f_2} \quad (5)$$

由此可见,测量频率的相对误差与被测信号频率的大小无关,仅与闸门时间和标准信号频率有关,即实现了整个测试频段的等精度测量^[7]。在其他条件不变的情况下,增大触发时间并提高标准信号频率,可以减小测量的相对误差,对信号的测量速率也将有所变快。但需要提醒的是

计数使能引脚,CLK_ONE和分别CLK_TWO是标准频率信号和被测频率信号的输入引脚。

在未测频时,预置触发信号处于0电平,则触发器的输出端为0电平,上下两个计数器都不工作。在测频准备阶段中,通过清零信号CLR先将计数器和触发器内部清零。

在测频过程中,计数器CNT_ONE和CNT_TWO分别对标准频率信号和被测频率信号同时计数。首先开启预置触发信号(上升沿),此时计数器并不开始计数,而是

触发时间必须为被测信号频率的正整数倍以上,否则无法产生关闭两个计数器CNT_ONE和CNT_TWO的信号,将会导致测量的失败。

如果不考虑 ± 1 误差的前提下,触发时间最大可以接近的值 T_{MAX} 为:

$$T_{MAX} = \frac{2^m - 1}{f_2} \quad (6)$$

则

$$m = \log_2(1 + T_{MAX} \times f_2) \quad (7)$$

才能满足计数器CNT_ONE对标准信号频率的计数要求。当 f_2 不变时, m 的值越大,触发时间越大,表示可以测量的信号频率范围更低,由式(7)得:

$$N_1 = \frac{f_1}{f_2} \times N_2 \leq \frac{f_{1MAX}}{f_2} \times (2^m - 1) \leq (2^m - 1) \quad (8)$$

式中: f_{1MAX} 是待测信号频率的最大值,假定其与 f_2 的比值为 k ,则

$$M \geq \log_2(1 + (2^m - 1) \times k) \quad (9)$$

才能满足计数器CNT_ONE对被测信号频率的计数要求。

2.2 占空比与脉宽测量原理

2.2.1 占空比测量原理

经过调理电路后的待测信号,分别通过直接测周法和等精度测频法得到其脉冲宽度 T_p 和周期 T ,则占空比DUTY由下式计算得到^[10]:

$$DUTY = \frac{T_p}{T} \times 100\% \quad (10)$$

2.2.2 脉宽测量原理

脉冲宽度即待测信号处于高电平时的宽度,该参数可用直接测周法进行测量^[8]。当前端处理电路后的待测信号上升沿到来时,计数器开始进入计数状态;当待测信号的下沿到来时,计数器停止运行工作,得到的计数值 N_p

通过下式计算出脉冲宽度:

$$T_p = \frac{N_p}{F_2} \quad (11)$$

$$\frac{\Delta T_1}{T_1} = \frac{\Delta N_2}{N_2} - \frac{\Delta f_2}{f_2} = \pm \frac{1}{N_2} - \frac{\Delta f_2}{f_2} = \pm \left(\frac{1}{T_1 \times f_2} \mp \left| \frac{\Delta f_2}{f_2} \right| \right) \quad (12)$$

根据上式分析得,待测信号频率越高,±1 误差对精度的影响越大;标准计数频率越高,测量所产生的误差越小^[9]。

3 系统结构

系统主要由信号调理电路和单片机与 FPGA 最小系统构成。信号调理电路负责把待测信号变换成标准方波信号,便于后端 FPGA 进行频率测量;单片机主要完成对 FPGA 测频功能的控制,并将 FPGA 测量完成的数据接收回来,进行相应公式换算,最终待测信号的测量结果显示在 OLED 显示屏上;FPGA 主要完成信号参数测量的功能,通过对待测信号和标准信号进行精确计数,完成频率和脉宽的测量,当单片机的读信号到来时,FPGA 内部测量结果通过 SPI 接口传输给单片机^[10]。其系统整体结构如图 3 所示。



图 3 系统整体结构

4 系统硬件模块设计

本系统由信号调理电路和单片机与 FPGA 最小系统模块组成。单片机模块由 C8051F020 作为核心芯片,外围电路由晶振、供电电路、复位电路和 OLED 显示电路,共同组成 C8051F020 单片机控制模块。FPGA 模块为 Alteral 公司的低功耗、低成本芯片 EP2C5T144C8N 作为核心器件,其外围搭接 50 MHz 时钟电路、供电电路和配置电路,共同组成 FPGA 最小系统。

4.1 FPGA 模块核心电路

该系统所用的 EP2C5T144C8N 芯片拥有的功能模块为:4 608 的 LEs(logic elements)、26 的 M4K RAM block、119 808 bit RAM、13 个 Embedded Multipliers(嵌入式乘法器)和 2 个 PLL(锁相环),其内部丰富的布线资源已经足够满足设计需求。但在电路设计中需要注意对电源进行滤波,减少噪声干扰。

4.2 信号调理电路设计

该电路主要由 TI 公司的高速比较器 TL3016 芯片构成,可将待测信号变换成标准的矩形波信号。分析原理图的电路可知该电路阈值约等于 150 mv。

5 系统软件设计

本系统程序分为单片机控制程序和 FPGA 逻辑程序两大块。单片机控制程序主要完成对 FPGA 的控制、人机交互及测量结果的计算和显示。FPGA 逻辑程序主要完成对待测信号和标准信号的频率及脉宽测量。

5.1 FPGA 程序设计

5.1.1 整体结构设计

FPGA 通过等精度测频法测量待测信号的频率,采用测周法测量待测信号的脉宽,并将测量完成后的数据通过 SPI 接口传送给单片机进行后处理。如图 4 所示,为系统整体结构框图。其主要有以下几个模块:频率测量模块、脉宽测量模块、触发设置模块、SPI 接口模块、PLL 倍频模块。

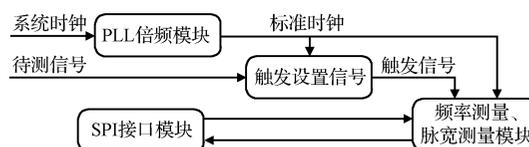


图 4 整体结构

系统一经上电,触发设置模块启动,先记录待测信号和标准信号的个数,以确认触发时间;测频模块在触发控制下开始等精度测量待测信号和标准信号的个数;测量脉宽模块开始测量待测信号的高电平时间^[11];SPI 接口模块接收单片机发来的控制信息,并依次将待测信号的计数个数、标准信号的计数个数和待测信号高电平时间的计数个数发送给单片机。

5.1.2 PLL 倍频模块

该模块用于产生高频时钟信号,通过对外部电路提供的 50 MHz 晶振时钟进行倍频,可以输出比外部时钟更高频率的时钟。经过该模块 2 倍频后将产生 100 MHz 的时钟,作为频率和脉宽测量模块的标准时钟信号,也可作为消抖去毛刺的计数时钟信号^[12]。

5.1.3 频率及脉宽测量模块

高速触发器用来控制待测信号与触发时间之间的同步。模块输入引脚为 CLK_S 为标准信号,CLK_T 为待测信号,CLK 为设置的触发时间,START 为实际触发控制信号,RST 为复位信号。该逻辑设计实现了对待测信号与触发的同步,只有在待测信号 CLK_T 上升沿到来时,实际触发控制信号才能由触发信号 CLK 确定,这样就能够实现待测信号 CLK_T 的边沿与实际触发控制信号 START 的开始沿及结束沿完全同步,有效的避免了直接测频法中测量待测信号可能产生的±1 误差^[13]。

等精度测量待测信号的计数程序,待测信号在实际触发控制信号 START 控制下完成计数。每当待测信号 CLK_T 上升沿到来时并且实际闸门控制信号 START 为

高电平时,待测信号计数值自加 1;每当实际闸门控制信号 START 为低电平时,待测信号计数值自动清零^[4]。相应的,可以类推标准信号的计数程序与待测信号的一致,脉宽采用测周法进行测量,如图 5 所示为测周法测量脉宽的时序图。

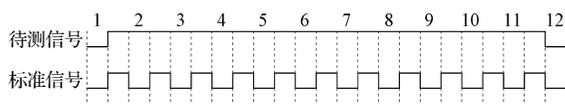


图 5 测周法测量脉宽时序

测周法测量待测信号处于高电平的时间,通过对待测信号 CLK_T 的高电平时间计数实现。在待测信号 CLK_T 位于高电平下,利用系统的标准时钟进行计数;当待测信号 CLK_T 位于为低电平时,则待测信号的计数值清零。

5.1.4 触发设置模块

该模块主要对触发时间进行设置,是等精度测频系统的关键组成模块。触发时间的长短将会对测量精度产生不同程度的影响。由公式可知:触发时间越短,标准频率越低,测量的相对误差就越大。

$$\gamma = \frac{|\Delta N_2|}{N_2} \leq \frac{1}{N_1} = \frac{1}{T \times f_2} \quad (13)$$

在实际测量过程中,如果对于所有的频率段,触发时间均保持不变。则当待测信号的计数值小于等于 1 时,频率实测误差会与理论预测不符,精度无法满足设计要求。因此,需要对不同的频率设置不同的触发时间。频率低的信号,触发时间变长;频率高的信号,触发时间变短。

5.1.5 SPI 通信接口模块

Serial Peripheral Interface 是由 Motorola 首先在其 MC68HCXX 系列处理器上定义的通信协议。通常包含 4 根信号线:

- 1) 时钟信号线(SCK; serial clock);
- 2) 主输出从输入数据线(MOSI/SDO; master out slave in/serial data output);

3) 主输入从输出数据线(MISO/SDI; master in slave out /serial data input);

4) 片选信号线(CS/SS; chip select/slave select)。

一个 SPI 总线可以连接多个主设备和多个从设备,但是在同一时刻只允许有一个主设备操作总线^[15]。通信时在主设备和从设备之间会产生一个数据链路回环(data loop),即在时钟信号线的控制下,两个双向移位寄存器进行数据交换。该模块可利用数据传输线 SDI 先传送 8 位的命令信号,确定通信模块后再传输 32 位宽的数据流^[16]。

当从设备接收数据时。当信号线 CMD 为低电平有效情况下,SCL 时钟上升沿到来时,FPGA 将输入端口 SDI 的命令数据读入寄存器中,并对寄存器中的数据进行左移一位,如此反复 32 次,将输入端口 SDI 上的命令数据全部读入寄存器 DCMD 中,于此同时,命令接受完成标志位 CMDDONE 变高电平;对应的,当 FPGA 需要接收数据时,逻辑设计与接收命令一致。当从设备发送数据时,其不同于接收的是当 SCL 时钟下降沿到来时,寄存器中的数据向左移位通过输出端口 SDO 输出,经过 32 个时钟后,将寄存器中数据送出。

6 系统测试与误差分析

6.1 测试条件

测试环境:温度 28℃,湿度 60%。

测试仪器:VICTOR VC09805 万用表、TDS210 示波器、SUING TFG6080 函数发生器。

6.2 测试结果与分析

测试一:当函数发生器分别输出为 250 mV 和 2.5 V 的正弦波时,分别用直接测周法和等精度测频法测量被测信号的频率,实时记录两组测量的实际值,相关测试结果如表 1 所示。

表 1 正弦波信号频率测量结果

| 输出值/Hz | 250 mV 实际测量值/Hz | | 2.5 V 实际测量值/Hz | |
|-----------|-----------------|---------------|----------------|---------------|
| | 直接测周法 | 等精度测频法 | 直接测周法 | 等精度测频法 |
| 1 | 0.854 3 | 1.000 1 | 0.882 2 | 1.000 0 |
| 20 | 19.341 2 | 20.042 6 | 19.655 3 | 20.001 7 |
| 300 | 298.553 | 299.769 3 | 299.001 8 | 300.001 8 |
| 4 000 | 4 001.886 | 3 999.977 | 4 000.585 | 4 000.302 |
| 50 000 | 50 002.683 | 50 001.172 | 50 003.573 | 50 000.059 |
| 600 000 | 600 009.597 | 600 004.997 | 600 009.746 | 600 004.058 |
| 7 000 000 | 7 000 100.583 | 7 000 056.483 | 7 000 090.285 | 7 000 040.483 |

通过对两组数据的横向对比可以明显的看出等精度测频法在频率测量中的优势,有效的提高了实验中对信号

的测量精度。且相比直接测周法,在测量时该方法具有良好的稳定性。

测试二:当函数发生器分别输出为电压 2.5 V 频率 1 Hz和电压 2.5 V 频率 1 KHz 的方波时,测量不同被测信号的占空比,并实时记录实际测量值,并计算每次的相对误差,相关测试结果如表 2 所示。

表 2 占空比测量结果

| 输出值(%) | 2.5 V 1 Hz | 2.5 V 1 KHz |
|--------|------------|-------------|
| | 实际测量值(%) | 实际测量值(%) |
| 10 | 9.90 | 10.00 |
| 20 | 20.05 | 20.00 |
| 30 | 29.84 | 30.00 |
| 40 | 40.05 | 39.07 |
| 50 | 50.00 | 49.39 |
| 60 | 60.10 | 60.00 |
| 70 | 70.00 | 70.03 |
| 80 | 80.09 | 80.10 |
| 90 | 90.60 | 90.00 |

根据设计要求,该系统具有测量占空比的功能,分析测量所得数据。当被测信号的占空比处于理想整数时,系统的测量误差可以近视为零,达到比较高的测量精度。

测试三:当函数发生器分别输出为电压 250 mV 频率 1 KHz 和电压 2.5 V 频率 1 KHz 的方波时,测量不同被测信号的脉冲宽度,并实时记录实际测量值,并计算每次的相对误差,相关测试结果如表 3 所示。

表 3 脉冲宽度测量结果

| 输出值/ μs | 250 mV 1 KHz | 2.5 V 1 KHz |
|--------------------|----------------------|----------------------|
| | 实际测量值/ μs | 实际测量值/ μs |
| 150 | 149.378 | 150.036 |
| 200 | 199.990 | 200.000 |
| 250 | 250.090 | 249.057 |
| 300 | 300.040 | 300.002 |
| 350 | 349.990 | 350.087 |
| 400 | 399.990 | 399.990 |
| 450 | 449.990 | 450.007 |
| 500 | 499.053 | 500.990 |

通过对脉宽测量所得数据进行分析,当被测信号的脉宽测量值处于整数倍时,运用直接测周法可以较精确的测得信号的脉宽且所得的相对误差在可接收范围内。

7 结论

本方案运用了 C8051F020 与 FPGA 最小系统,将频率测量原理分割成各模块,分配到系统内部,通过 SPI 将频率计数与 MCU 控制联系在一起。并运用多周期同步测量方式使测量结果更加稳定,更加精确。从实验数据分析可知,频率测量范围及输入幅值范围宽,满足基本工程需求,可广泛在实践中运用。

参考文献

[1] 林建英,高苗苗,牛英俊.等精度数字频率计几种设

计方案的实验研究[J].实验科学与技术,2010,8(5):8-10.

[2] 张洋.基于 CPLD 的简易数字频率计的设计[J].现代电子技术,2011,34(19):183-186.

[3] 刘竹琴,白泽生.一种基于单片机的数字频率计的实现[J].现代电子技术,2010,33(1):90-92.

[4] 方敏,侯其立,李笛,等.基于 TMS320F2812 的数字频率计[J].实验室研究与探索,2009,28(5):37-40.

[5] 武卫华,郑诗程.基于 SoPC 的嵌入式数字频率计设计与实现[J].电子测量与仪器学报,2010,24(2):172-178.

[6] 俞一彪,孙兵.数字信号处理—理论与应用[M].第二版.南京:东南大学出版社,2011.

[7] 王伟,杨济民,韩晓丽,等.基于 C8051F060 的自适应高精度频率计设计[J].电子测量技术,2009,32(6):105-108.

[8] 刘晨光.新型高精度频率测量仪的实现[D].西安:西安电子科技大学,2009.

[9] 凌振宝,叶剑峰,孙正光.多功能数字频率计的设计与研究[J].吉林大学学报:信息科学版,2011(4):376-381.

[10] 刘安芝,陈尚松,李楠.电子仪器仪表设计[M].北京:电子工业出版社,2007:3-8.

[11] 林建英,高苗苗,杨素英.基于 SoPC 的等精度数字频率计设计[J].国外电子测量技术,2010,29(12):51-55.

[12] 黄俊,余水宝.基于 STC12C5A60S2 的高频高精度频率计的设计[J].微型机与应用,2012,31(17):22-24.

[13] 潘松,黄继业,潘明.EDA 技术实用教程—Verilog HDL 版[M].北京:科学出版社,2010.

[14] 吴海明,王伟.基于单片机与 FPGA 的等精度频率计设计[J].兵工自动化,2009,28(3):79-81.

[15] 郝允志,周黔.动态频率测量的滞后误差分析及改进方法[J].仪器仪表学报,2016,37(1):75-82.

[16] 叶淦华.FPGA 嵌入式应用系统开发典型实例[M].北京:中国电力出版社.

作者简介

许可行,1993 年出生,本科在读,主要研究方向为电子电路设计与应用、嵌入式系统技术。

E-mail: super_kexing@sina.com

刘延飞,1975 年出生,硕士生导师,副教授,主要研究方向为嵌入式系统应用与开发、无人机技术。

E-mail: bbmcu@126.com

羊帆,1985 年出生,博士研究生,主要研究方向为先进控制理论与应用、机器人技术。

E-mail: y_fanfan@163.com