

# 基于 FPGA 的高速视频采集系统的设计

何 雯 董 威 苟 辉

(西安工业大学光电工程学院 西安 710021)

**摘 要:**实时视频处理技术的飞速发展对视频采集系统的速度和质量提出了越来越高的要求。介绍了一种基于可编程逻辑器件 FPGA 控制器的图像采集系统,详细描述了其视频采集和解码模块、视频信号处理模块、存储与输出模块、LCD 显示模块的设计。阐述了其工作原理,分析了其关键技术环节,并论述了其在 FPGA 硬件语言上的编程思路。实验结果表明,系统可对  $720 \times 576$  像素的静态和动态的图像进行稳定地采集,并且能够以 60 帧/s 的速度显示在 LCD 液晶屏上。

**关键词:**FPGA; 视频图像; 高速

**中图分类号:** TN2      **文献标识码:** A      **国家标准学科分类代码:** 510.1050

## Design of high-speed video acquisition system based on FPGA

He Wen Dong Wei Gou Hui

(College of Optoelectronic Engineering, Xi'an Technologic University, Xi'an 710021, China)

**Abstract:** Growing requirements for speed and quality of video acquisition system are putted forward because of the rapid development of real-time video processing technology. This paper designs a image collection system based on FPGA controller with programmable logic ability and detailed subscribes modules including video acquisition and decoding, video signal processing, storage and output and LCD display. This paper also introduces working principle and analysis key technology. And related program methods are introduced. The experiment results show that both static and dynamic image with  $720 \times 576$  pixels are stable acquired and displayed on LCD liquid crystal screen at a speed of 60 frames per second.

**Keywords:** FPGA; video image; high speed

### 1 引 言

随着电子技术、计算技术和数字图像处理技术的高速发展,视频监控技术广泛应用于各个场合<sup>[1]</sup>。人们对视频监控的性能要求也越来越高。视频采集是视频监控系统的前端部分,传统的视频采集技术是采用 DSP 作为整个系统的控制器<sup>[2]</sup>,然而 DSP 不能采用并行方式处理数据,并且不能实现硬件加速,视频采集速度慢。其系统采用的也是第三方的芯片,支持的模式有限,不能满足各个方面的需求,限制了其更好的发展;另外其外围芯片较多,造成了电路板面积大,既增加了成本,也使得系统的稳定性不够<sup>[3]</sup>。随着 FPGA 技术和芯片制造工艺的不断发展和其自身的特点:1)并行处理数据,2)可重复编程性,3)高集成性,等使得 FPGA 就成为视频采集领域中的一个发展趋势<sup>[4-5]</sup>。

基于 FPGA 的视频采集系统的设计包括:硬件设计和硬件语言设计。针对系统的要求,对视频采集和解码模块、视频信号处理模块、存储与输出模块、LCD 显示模块进行设计。硬件电路与硬件语言的结合使得基于 FPGA 的视频采集系统可以实现视频采集,采集到的视频画面清晰,系统工作稳定,并且显示频率相较于 DSP 提升了一倍左右。

### 2 系统原理与模块

本系统的内部实现功能如图 1 所示。上电后通过 I<sup>2</sup>C 总线对 ADV 解码芯片进行初始化的操作,然后摄像机的 AV 信号输出传输到 AV 解码芯片上,通过解码芯片把模拟信号转换为 ITU656 协议标准的数字总线信号输出。对输解码芯片的输出信号进行时钟域变化,接着进行插值处理和去隔行操作,使得原本一帧图片显示时间内可以显示 2 帧的图片。接着对其进行 YCbCr 对 RGB 信号转换和 DDR2 控制器上的

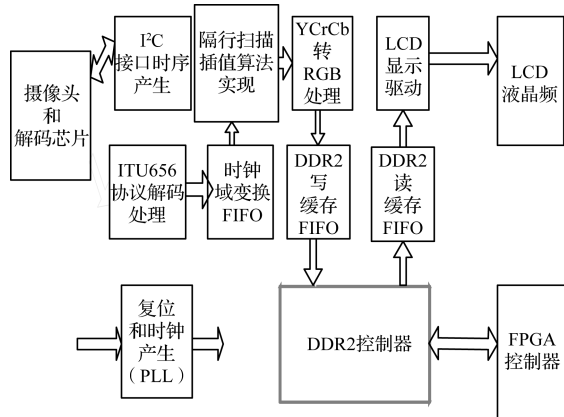


图1 高速视频采集系统

乒乓操作,最后由LCD液晶屏显示出采集的图像<sup>[6]</sup>。

针对系统的要求,FPGA芯片选择的是Altera公司的EP4CE22F17C8,它具有多达22 320个逻辑单元,4个PLL的资源 and 608 256的片内存储量和154个用户可以自定义的I/O口。

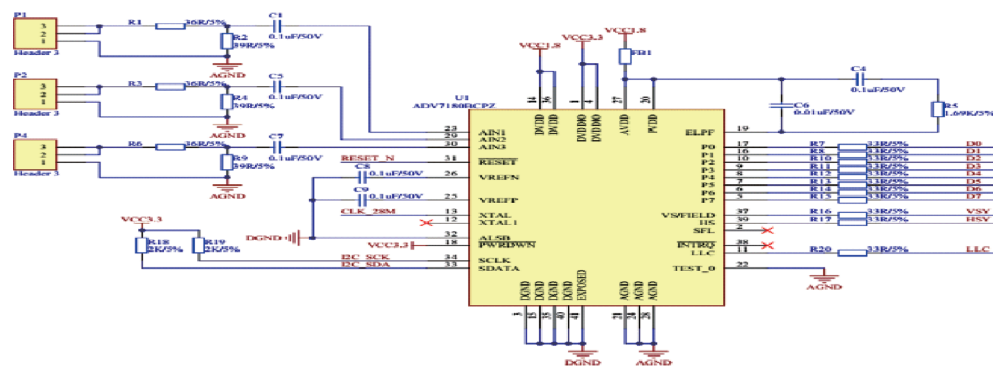
### 3 视频采集和解码模块的设计

在本系统视频采集中,使用的是CCD模拟摄像头采

集视频信号。CCD器件由4个部分组成,分别是光电转换、电荷存储、电荷转移以及信号输出。它的图像信号的亮暗是以电荷的多少来表示的。控制CCD器件的时钟信号代替电子束扫描来实现图像信号的获取、变换和输出。具有诸如抗强光、体积小、寿命长、抗振动、灵敏度高等优点<sup>[7-8]</sup>。

ADV7180是亚德诺半导体技术有限公司的一种集成度和性能都很高的视频解码芯片,其功能强大、操作简单便捷,10位ADC、4倍过采样,具有工作模式、掉电模式、超级睡眠模式3种模式,可以通过I²C总线控制方式对ADV7180内部寄存器进行配置<sup>[9]</sup>。

上电后CCD相机通过其内部电路把采集到的RGB信号转换为全电视信号PAL制并源源不断地输出,同时FPGA则通过与ADV7180相连的I/O口使用I²C通信使其进行初始化工作,ADV7180对AV模拟信号进行采样、AD转换、数字处理以获得期望的数字视频流信号(以上步骤称为“AV解码”),并且按帧对视频流编码为ITU-R BT. 656(简称为ITU565)送出。FPGA端就连接着ITU565送数据的数字总线,通过这些接口,可以得到数字视频流,如图2所示为视频输入的电路。



## 4.2 视频数据去噪

在图像采集、传输、接收和处理的过程中,无法避免各种各样的外部干扰和内部干扰,随之也就带来了复杂多样的噪声。如图像传感器、信号传输、A/D转换、去隔行等所产生的脉冲噪声、数字化过程中的噪声和外界电磁波干扰等<sup>[10]</sup>。滤波的方法主要有空间域法和频率域法,常用的滤波算法有:邻域平均法、低通滤波法、中值滤波法等。上述的滤波算法虽然可以实现滤波效果,但是滤除的效果不是很理想。本论文采用基于常规中值滤波算法中的快速中值滤波算法。算法思想如下:

设 $3 \times 3$ 的二维中值滤波窗口内的图像数据为 $A1 \sim A9$ ,图像数据排列如表1所示。

表1 窗口图像像素排列表

|     | 第1列 | 第2列 | 第3列 |
|-----|-----|-----|-----|
| 第1行 | A1  | A2  | A3  |
| 第2行 | A4  | A5  | A6  |
| 第3行 | A7  | A8  | A9  |

算法用3个步骤来实现,记 $\max$ 表示取最大值操作; $\text{mid}$ 表示取中值操作; $\min$ 表示取最小值操作。

1)对每一行图像数据进行排序,分别得到最大值、中间值和最小值,3行的排序同时并行处理。记第1行最大值、中间值、最小值为 $\max\_h1 = \max[A1, A2, A3]$ 、中间值为 $\text{mid\_h1} = [A1, A2, A3]$ 、最小值为 $\min\_h1 = \min[A1, A2, A3]$ ,第2、第3行如上述过程处理。这样3行共用了9次比较,得出了最大值组、中间值组、最小值组。

2)对所得的3组数据再分别并行处理,从最小值组得出最大值,中间值组得出中间值,最大值组得出最小值,7次比较得出结果。

3)从上述的3个值中找到中间值这便是最终想要的结果,3次比较得出结果。

传统的中值滤波算法对容量为9的数据排序至少需要 $8+6+7+5+4=30$ 次比较次数,也就需要30个时钟周期,而本文所用的算法比较次数只要19次,再加上FPGA并行处理的特点,比较的时间为9个时钟周期,所以快速中值滤波算法所占用的时间大约为传统算法的 $1/4$ ,有利于实时处理。

## 4.3 YCrCb 视频流转 RGB 处理

该模块的内部功能如图3所示。YCrCb输入视频信号一个2位寄存器 $\text{acnt}$ 的控制,对其输入信号进行排序,排序后的顺序为Cb、Y、Cr、Y。然后把排好序的数据送入乘累加器后分别得到 $R'$ 、 $G'$ 、 $B'$ 数据,再进入累加器得到中间数据,最后通过数据溢出处理和缩小处理得到标准的RGB888的数据,由于要与后续LCD显示器的位数匹配,

舍去RGB的后几位得到RGB656数据,送入FPGA内部用于下面给液晶屏显示之用。

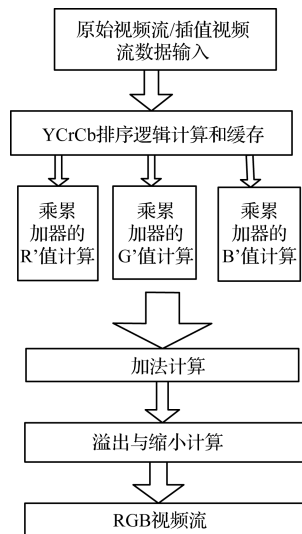


图3 YCrCb 转 RGB 示意

LCD显示模块显示需要的数据是RGB格式的数字视频信号,而ADV7180对模拟视频信号解码后的数字视频信号格式是YCrCb格式的,这就需要对信号进行转换。RGB对YCrCb转换的关系如下式(1)所示。而在FPGA中是无法对于浮点数直接进行运算的,因此将等式左右部分先进行256倍的放大矩阵运算后,在进行256倍的缩小即可。在FPGA中对于YCrCb转RGB的3个步骤如下式(2)~(4)所示。

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} 1 & 0 & 1.402 \\ 1 & -0.34414 & -0.71414 \\ 1 & 1.772 & 0 \end{bmatrix} \begin{bmatrix} Y \\ Cr \\ Ch \end{bmatrix} + \begin{bmatrix} -179.456 \\ 135.459 \\ -226.816 \end{bmatrix} \quad (1)$$

$$R' = 256 \times Y + 359 \times Cr \quad (2)$$

$$R'' = R' - 459.41 \quad (3)$$

$$R = R'' / 256 \quad (4)$$

在式(4)中虽然只是简单的缩小256倍的操作(用右移8位来实现),但是同时也要对计算结果是否溢出进行判断和处理。由于运算精度和运算过程中四舍五入的原因,很有可能导致结果溢出。在计算过程中用18位来表示放大了256倍后的8位R、G、B,当缩小256倍时,先判断最高位bit17是1还是0,是1的话就必然是负数,直接用最小值0来表示。接着判断次高位,当为1时,数据必然超过了RGB的最高值255,于是直接取255,根据以上的计算和溢出处理就把YCrCb格式的视频流转换为RGB格式的视频流<sup>[11]</sup>。

## 5 存储与输出模块的设计

因为一帧图像有  $1280 \times 480 = 614.4$  KBytes, 要对如此大的数据量进行同时读写不通过 FPGA 是很困难的, FPGA 由于自身自带的 DDR2 控制器, 加上 3 个片内的 FIFO 就可以实现大数据量的同时读写, 这也就是 FPGA 最大的优势: 并行处理。

本文选用的是 Micron MT47H32M16CC-3 这款 DDR2 芯片, 512M 内存, 64 位数据位满足了设计中视频流对存储的要求。3 个片内 FIFO 对数据的读写进行缓存, 使得 DDR2 可以同时与 FPGA 通信获取解码后的视频流和往 LCD 显示模块中传输需要显示的数字视频数据。这样数据存储在 DDR2 和 FIFO 中, 可以使系统具有大容量、高吞吐率和高存储速度的特点, 满足大数据量、实时性、读写同时进行的要求。

存储与输出模块是通过两个写存储 FIFO 轮流进行写存储(写 FIFO1 对应原始视频流, 写 FIFO2 对应插值视频流), 一个读 FIFO 同时进行读取片内 DDR2 内容是可以实现的。模块的控制原理如图 4 所示, 因为上文中已经把视频流经过处理得到了原始视频流和插值视频流, 在插值视频流里面与原始视频流奇场数据对应的是偶场数据, 与原始视频流偶场数据对应的是奇场数据。在第一个缓存周期, 把原始视频流的第一行奇场数据送入到 DDR2 存储器中, 在第二个缓存周期把写 FIFO2 内的插值视频流的第一行偶场数据送入到 DDR2 存储器中, 再第 3 个缓存周期, 切换到写 FIFO1 中, 第 4 个周期再切换到写 FIFO2 中, 如此循环, 这样就可以在原本一帧图片显示的时间里面显示两帧图片, 这样就不会感觉到图片有所闪烁了, 并且显示速度也就提升了。

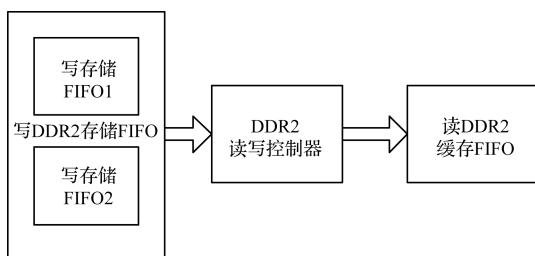


图 4 数据存入与输出

## 6 显示模块设计

高速视频采集系统选用的是一款 7 寸、 $800 \times 480$ 、数字接口驱动的液晶屏。LCD 输出的色彩信号是直接通过 565 的 RGB 并口数字信号(即 5 bit 代表 R 色彩, 6 bit 代表 G 色彩, 5 bit 代表 B 色彩)传输的。同步信号是用 DE 来控制的, DE 脉冲有效(高电平)期间, 表示当前的 RGB 数据是有效的, 即显示在显示屏上的像素点色彩数据。为了便于实际的驱动计数器的时序产生, 还是需要和

HSYNC/VSYNC 驱动方式一样, 对行和列计数器的同步脉冲、后沿脉冲、显示脉冲、前沿脉冲做定义。注意列的单位为行, 行的单位为基准时钟周期数, 也就是 33 MHz 时钟脉冲数。

## 7 实验结果

系统中采集图像的分辨率是  $720 \times 576$ , 也就是说每隔扫描行有 720 个像素点, 每帧图片有 576 个扫描行。所以行同步信号 HS 在理论上的频率应该为场同步信号 VS 的 576 倍。对二者的信号通过示波器进行波形的观察。

通过观察, 场同步信号的输出波形如图 5 所示, 可以看出行同步信号的频率为 31.50 kHz, 周期也就是  $31.74 \mu\text{s}$ , 同样可以看出, 场同步信号频率为 59.89 Hz, 周期就为 16.70 ms。计算得出场同步信号的周期为行同步信号的 526.15 倍, 基本符合理论上的 526 倍的要求。同时可以看出系统的采集速度提高到 60 帧/s, 大大超越了以 DSP 为核心处理器的 20~30 帧/s 的速度, 视频采集效果如下图 6 所示。

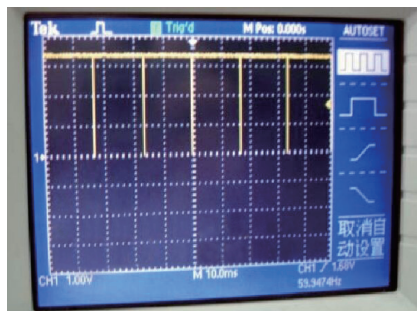


图 5 场同步信号



图 6 实际效果图

## 8 结论

为了实现图像的实时采集与处理, 设计了一种基于 FPGA 的图像采集与处理系统。充分利用了 FPGA 的并行处理的特点, 结合本文设计的快速中值滤波算法使得图像采集处理速度更加快, 并且显示清晰, 稳定不闪烁。采用 FPGA 还使得系统体积更加小、电路更加简单、工作更

加稳定。设计的高速视频采集系统支持 PAL 制或者 NT-SC 制的标准信号,不仅能稳定采集静态的图像,而且对动态的图像采集也有较好的效果,系统软硬件通过了应用性、稳定性等测试,具有良好的市场前景。

#### 参考文献

- [1] 李晓光,吉荣廷,张立峰. 基于嵌入式 Linux 和 ARM9 的视频采集系统[J]. 电子测量技术,2009,32(2): 102-104.
- [2] 吴毅杰,赵敏,顾俊俊,孙梦宇. 基于 DSP+CPLD 的视频采集系统的设计与实现[J]. 电子测量技术,2009,32(9):140-143.
- [3] 龙映雪,张春熹,伊小素,等. 基于 DM642 的视频采集与处理系统设计及实现[J]. 电子测量技术,2012,35(9):52-55.
- [4] 王健,姜伟. 无人机 4 路视频采集系统设计[J]. 国外电子测量技术,2013,32(10):48-52.
- [5] 张松,李筠. FPGA 的模块化设计方法[J]. 电子测量与仪器学报,2014,28(5):560-565.
- [6] 彭宇,姜红兰,杨智明,等. 基于 DSP 和 FPGA 的通用数字信号处理系统设计[J]. 国外电子测量技术,2013,32(1):17-21.
- [7] 王跃飞,侯亮,刘菲. 基于 FPGA 的汽车 CAN 网络实时管理系统设计[J]. 电子测量与仪器学报,2013,27(8):721-728.
- [8] 郭海涛,徐雷,赵红叶,等. 一种抑制声呐图像散斑噪声的形态学滤波器[J]. 仪器仪表学报,2015,36(3): 654-660.
- [9] 李易难,牛燕雄,杨露. 基于 DSP+FPGA 视频图像采集处理系统的设计[J]. 电子测量技术,2014,37(1):58-61.
- [10] 楚广生. 基于图像处理的自动调光系统[J]. 国外电子测量技术,2015,34(12):69-72.
- [11] 邓耀华,吴黎明,张力错,等. 基于 FPGA 的双 DDS 任意波发生器设计与杂散噪声抑制方法[J]. 仪器仪表学报,2009,30(11):2255-2261.

#### 作者简介

何雯,1992 年出生,硕士研究生。主要研究方向为测试计量技术与仪器。

E-mail:727731679@qq.com

董威,1958 年出生,教授。主要研究方向为测控技术与仪器。

苟辉,1992 年出生,硕士研究生。主要研究方向为光学工程。

## 英国 Pickering 公司发布全新高密度 PXI 矩阵开关系列

采用高品质仪器级舌簧继电器为达到最佳性能表现而设计

2016 年 5 月 23 日,作为电子测试与验证领域模块化信号开关和仿真产品的领导者,英国 Pickering 公司宣布再次扩充其单刀高密度 PXI 矩阵开关产品家族。

该系列高密度矩阵开关(40—520 家族)包括 22 种不同配置,单个模块最高可包含 256 个开关节点,可匹配众多种类的测试需求。产品基于 Pickering Electronics 的仪器级高品质继电器,提供 6 种总线宽度选项( $\times 16$ ,  $\times 12$ ,  $\times 8$ ,  $\times 6$ ,  $\times 4$  和  $\times 2$ ),是价格极具竞争力的解决方案。这些高品质继电器有极长的寿命,同时在传导微弱信号时也有很好的表现,以及出色的导通电阻稳定性。

最新的 40—520 家族基于 Pickering 公司具有悠久历史的

PXI 矩阵模块而研发,具有稳定的 1A 150Vdc 开关能力,设计为单块 PCB 结构,配合舌簧继电器可实现轻松维护。该系列产品集成 Pickering 公司的内置继电器自诊断(BIRST)功能,同时也支持外置开关系统诊断工具(eBIRST)。这些工具可以帮助用户快速简单的找到模块中有故障的继电器。

该系列产品的典型应用包括自动测试系统(ATE)和数据采集系统(DAQ)中信号路由的管理。

所有 Pickering 公司提供的产品均提供标准 3 年质保和长期的产品技术支持服务。产品价格及相关产品信息已经在官方网站同步更新,更多信息请访问:<http://www.pickeringtest.com>。