

基于 FPGA 的宽带雷达回波信号处理板设计

顾振杰 刘宇

(中国人民解放军 91336 部队 秦皇岛 066000)

摘要:对基于 FPGA 的宽带雷达回波信号处理板的设计方案、信号流程和芯片选型进行了研究。同时以此板卡为基础,针对回波信号模拟需求,对板卡的功能流程设计方法进行了研究,对数字瞬时测频设计、存储延时组件设计和整数倍内插等 3 项关键技术进行了重点阐述。设计方案可实现带宽达到 1 GHz 的宽带雷达回波信号的模拟,可适应脉冲压缩雷达、合成孔径雷达等新型雷达测试需求,同时,本方案对相关系统的建设具有一定的借鉴意义。

关键词:FPGA;回波信号;高速 DA;瞬时测频;存储延时;内插

中图分类号: TN014 **文献标识码:**A **国家标准学科分类代码:** 510.99

Design of radar echo signal processing board based on FPGA

Gu Zhenjie Liu Yu

(Unit 91336 of PLA, Qinhuangdao 066000, China)

Abstract: In this paper, the design scheme, the signal flow and the selection of the radar echo signal processing board based on FPGA are studied. In view of the demand of the echo signal simulation, the design method of the function of the board is studied. Three key technologies of the design of digital instantaneous frequency measurement and storage time delay component and integer multiple interpolation are discussed in this paper. The program can achieve 1 GHz broadband radar echo signal simulation and adapt to pulse compression radar and SAR test requirements. This project has certain reference significance to the construction of related systems.

Keywords: FPGA; target echo; high speed DA; DIFM; memory latency; interpolation

1 引言

雷达测试系统用于产生雷达回波信号,在雷达研制、生产和使用等各个环节都得到了广泛应用^[1-2]。一般的雷达测试系统由上变频、中频信号处理和下变频等 3 个部分组成,其中中频信号处理是整个雷达测试系统建设的关键部分^[3]。

目前中频信号处理部分都基于软件无线电技术。软件无线电的基本思想是用数字化器件来完成原来模拟器件才能完成的工作。软件无线电因其具有更低的设计成本、更大的使用灵活性和更高的性能,在军事领域、公共安全领域和商用领域都得到了很大的应用^[4]。

应用软件无线电思想的雷达回波中频处理板卡通常以 FPGA 为核心,辅以大容量动态存储器,在 FPGA 平台

上进行相应的功能开发,实现雷达回波的存储、调制和延时转发。

目前国内成品化的雷达回波中频处理板卡基本上都以 FPGA 为核心,用 FPGA 设计电路十分便捷,用户无需投产就能获得合适电路,同时 FPGA 内部包含丰富的触发器以及 RAM、ROM 资源,且 FPGA 功耗低,并且与 CMOS、TTL 电平兼容,移植性强,因此采用 FPGA 电路设计周期最短、费用最低、风险最小。据了解,国内已有多家单位建成了适应带宽 1 GHz 以下的目标回波模拟系统并投入应用。本文所设计信号处理板针对高带宽信号应用需求,适应雷达信号带宽可达到 1.3 GHz,同时本文所设计处理板采用两片 FPGA 同时工作的方式,对两片 FPGA 在进行目标回波模拟时的功能分配和开发方法进行了研究,可最大化地发挥 FPGA 芯片的计算能力,提高整个系统的工作效率。

2 信号处理板设计

本文所设计雷达回波信号处理板是一块带 3 GSPS 12 bit ADC、3 GSPS 12 bit DAC、两块 Xilinx Virtex-6 FPGA 和超大容量动态存储器 DDR3 以及高速双口静态存储器 QDR-II+ 的 cPCI 接口的标准板卡。可适应带宽为 1 GHz 的宽带回波信号的模拟。Xilinx Virtex-6 SX315T/475T 外配 4 Gbit DDR3 SDRAM 和 144 Mbit QDR-II+ 存储器为诸如雷达和直接射频数字化的应用提供了一个非常高性能的 DSP 核。使用 VHDL、MATLAB 和 Xilinx ISE 工具包以及 Xilinx 公司的高级生成工具(Xilinx system Generator) 可以对该宽带信号处理板进行二次开发^[5]。以 Xilinx Virtex-6 FPGA 作为信号处理核心搭建的软件无线电平台,可以实现各种复杂雷达或通信信号的采集、存储、处理和播放。

该信号处理板的主要性能指标如下:

- 采样时钟: 3 GHz;
- 输入输出频率: 750 MHz±500 MHz;
- A/D 量化位数: 12 bit;
- D/A 量化位数: 12 bit;
- 最大存储深度: ≥5.3 ms;
- 最小转发时间: 350 ns;
- 输出信号杂散: 优于 -50 dBc;
- 数据接口: cPCI 总线(32 bit@66/33 MHz)。

雷达回波信号处理板卡的电路原理如图 1 所示,为了保证信号处理的实时性要求,本方案采用两片 FPGA,对 FPGA 的功能进行合理划分,可实现信号的最优化处理,

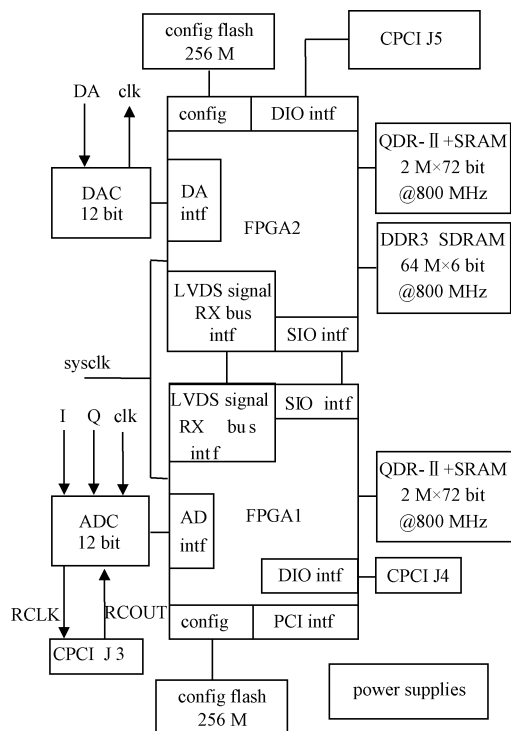


图 1 信号处理板卡设计电路原理

功能划分内容在功能设计部分进行描述,本文首先对信号流程和芯片设计进行说明。

2.1 信号流程

如图 1 所示,首先对输入的中频信号进行 AD 采样,采样后的数据输入到 FPGA1 中进行数字信号处理,处理后的数据高速传输到 FPGA2 再进行其他数字信号处理,然后输出到 DA 转换输出中频信号。

每个 FPGA 均外挂存储器 QDR-II+,因此可以将采集或处理的数据存储在 QDR-II+ 中,在延时量的控制下,将数据回读到 FPGA 中,实现数据的延时输出;然后把 FPGA1 中处理后的数据经高速 LVDS 差分总线传输至 FPGA2 中;在 FPGA2 中可以把从 FPGA1 中传输过来的数据存储在大量的外挂存储器中,在外部信号的控制下,将数据读出到 FPGA2 中,在 FPGA2 中实现所需的信号处理,并经 DA 转化为模拟信号输出。

为保证整板系统时序同步,还需一路参考时钟。因此信号处理板对外接口为 AD 时钟、中频信号入、DA 时钟、中频信号出和参考时钟入,该接口可通过 SMA 或 BNC 形式接入。该 AD 芯片还可以输入 1 路 Rclk、输出 1 路 Rcout,该两对信号为高速 LVDS 差分信号,经背板与其他 AD 芯片实现多片同步。FPGA1、2 之间通过高速并行互连总线实现数据的收发。

2.2 芯片选型

该信号处理板的核心是两片 FPGA 芯片,选用的是 Virtex-6 SX315T FPGA,其基本资源配置如表 1 所示,一般数字信号处理要占用大量的 Slice、DSP48E 和 BLOCK RAM,该型号 FPGA 能满足系统中不同的数据信号处理的要求。

表 1 Virtex-6 SX315T 资源配置表

逻辑单元	可配置逻辑块 CLB		DSP48E
	Slice	分布式 RAM(Kb)	
314 880	49 200	5 090	1 344
BRAM			
18Kb	36Kb	最高 Kb	MMCM
1 408	704	25 344	12
总 IO Bank			
PCIE	MAC	GTX	MAX User IO
2	4	24	18 720

信号处理板中 AD 变换器采用高速 AD 变换 ADC12D1800,该器件可配置成单通道 3.6 GS/s interleaved ADC,也可配置成双通道 1.8 GS/s ADC,采样字长为 12 bit。根据所测试的指标来看,采样信号的 SFDR 指标根据输入信号频率的不同有所区别,在中心频率为 498 MHz 时,可以达到 60 dBc 的 SFDR。

信号处理板中 DA 变换器采用 e2v 公司高速 12 bit DA 变换器 EV12DS130A,该器件的数据转换率为

3 GS/s,内嵌 4:1 或 2:1 的并行 MUX 器件,根据所测试的指标来看,在不同的输出模式下采样信号的 SFDR 指标根据输入信号频率的不同有所区别,例如在第一奈奎斯特区 NRTZ 模式 1.5 GHz 以下的输出信号其 SFDR 均能达到 -55 dBc。信号处理板采用 4 片 Cypress 公司的 CY7C1565KV18-450BZC 系列存储器,该存储器规格为 2 M×36 bit,最高存储速度能达到 900 MHz。

信号处理板中每片 V6 FPGA 均外挂了 2 片 QDR-II 存储器扩展位宽至 36×2=72 bit,实际双口工作时钟均采用 750 MHz@48 位,每片 V6 FPGA 可实现最大 2.66 ms 采样数据的存储延时,两片 FPGA 最大实现 5.3 ms 采样数据的存储延时转发。

3 功能设计

利用宽带雷达回波信号处理板可实现雷达多散射点目标信号、无源杂波信号、欺骗干扰信号和噪声干扰信号的模拟^[6]。整个信号处理板卡的功能划分如图 2 所示。

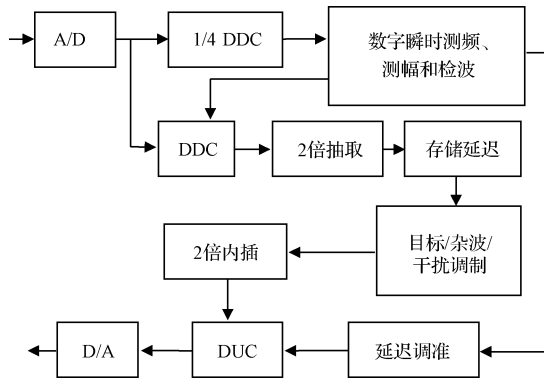


图 2 回波信号模拟原理

由于 AD 变换的采样率为 3 GS/s,AD 变换的输出数据率为 1:4 字长的 DEMUX 输出的数据流,到达 FPGA 器件的数据率为 750 MHz,在中频信号处理板 FPGA1 器件中,还需要 1:4 的降速,得到 187.5 MHz 的 16 倍字长的数据率。对串并转换后的数据进行 1/4 数字下变频,采用信道化技术进行数字测频、测幅和检波,得到输入信号的中心频率,输出给 FPGA2 器件引导数字 DDC 将信号变频到零中频^[7]。将 3 GHz DDC 数据进行二抽取变为 1.5 GHz DDC 数据,满足 1 GHz 带宽需求,再通过对 QDR-II 存储器的读写控制实现数据的距离延迟,将延时后的数据进行功能调制,输出的调制数据再进行 2 倍插值处理,通过数字上变频器将 I/Q 正交数据还原与数字下变频一致的中心频率上,并通过并串转换,以 4:1 的转换率,转换成 DA 输入的 750 MS/s 的 4 字节数据,通过 DA 变换器,输出调制完成的中频信号^[8]。

3.1 数字瞬时测频设计

对雷达发射频率进行测频,一方面可以作为变频系统的参考;另一方面可以引导噪声干扰信号,保证干扰信号

始终对准雷达信号。本系统在基带上采用数字瞬时测频法(DIFM)来实现雷达频率的测量。

数字瞬时测频法是基于瞬时相关的基本原理。对于一个数字单点频的复信号,其表达式可写为:

$$s(n) = \exp(2\pi f_0 n + \phi_0)$$

取其共轭的复信号,可得:

$$M = s(n)s^*(n-\Delta n) = \exp(j2\pi f_0 n + \phi_0) \exp^*(j2\pi f_0(n-\Delta n) + j\phi_0) = \exp(j2\pi f_0 \Delta n)$$

设 $M = x + jy$,则 $\tan(2\pi f_0 \Delta n) = y/x$,得:

$$2\pi f_0 \Delta n = \arctan(y/x)$$

取 $\Delta n = 1/f_s$,其中 f_s 为采样率,得:

$$f_0 = f_s \frac{\arctan(y/x)}{2\pi}$$

因为 $-\pi/2 < \arctan x < \pi/2$,且满足 $-\pi < 2\pi f_0 \Delta n < \pi$,可得:

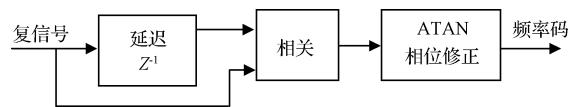


图 3 DIFM 算法流程

对输入的复信号进行延迟相关,并将一个脉冲内每个相关结果进行累加,最后对累加结果进行反正切、相位修正,可得频率值。因为输入信号是一串脉冲,每个脉冲都需要测频,所在脉冲起始点,应将累加器清零,把上个脉冲的结果清除。对于单点频信号,只需脉冲前沿测频即可达到测频指标,测频时间 < 200 ns。对于具有一定带宽的线性调频信号,需要整个脉冲测频,才能提取所需的频率信息。

用 MATLAB 进行仿真,测试窄带情况下用此方法的测频精度。用一个 40 MHz 的单频信号,取脉冲上升沿的前几十个点的测量平均值作为测频结果,测频精度如表 2 所示。

表 2 测频精度表

SNR/dB	累积点数/点	精度/MHz
10	30	0.54
	50	0.35
20	30	0.38
	50	0.28
50	30	0.39
	50	0.22

3.2 存储延迟组件设计

在信号处理单元中,存储延迟组件主要实现的功能是信号距离范围延迟,延迟控制时钟采用 187.5 MHz。在进行延迟时,按照 16 个采样点的字长组合形成的长字作为一个延迟样点,这样所得到的延迟分辨率为 5.333 ns。信号处理板上的 QDR-II 存储容量可以达到 10 ms 以上的存

储时间要求,能够实现最大 1 500 km 的延时范围。存储延迟组件的组成如图 4 所示。

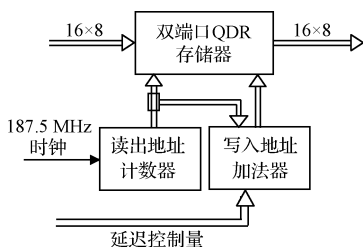


图 4 延迟控制原理

在本系统设计中,读出地址计数器是一个自由累加的计数器,计数时钟为 187.5 MHz,输出的计数值分为两路,一路作为数字信号数据的读出数据,另外一路在与延迟控制量相加以后,得到的数据作为写入存储器地址。这样,所写入存储器的地址始终比读出地址超前所控制的延迟量,延迟量按照存储器的计数时钟周期为单位,每个时钟周期为 5.33 ns。因此,目标模拟的粗延迟分辨率也是 5.33 ns。

3.3 整数倍插值

所谓整数倍内插是指,在原抽样序列的两个原始抽样点之间插入 $(I - 1)$ 个零值,从而得到内插后的一个新序列:

$$x_i(m) = \begin{cases} x\left(\frac{m}{I}\right) \\ 0 \end{cases}$$

内插后的信号频谱为:

$$X_I(e^{j\omega}) = X(e^{j\omega I})$$

内插后的信号频谱为原始序列经 I 倍压缩后得到的谱。这时 $X_I(e^{j\omega})$ 不仅含有 $X(e^{j\omega})$ 的基带分量,而且还含有频率大于 π/I 的镜像分量,为了从 $X_I(e^{j\omega})$ 中恢复原始谱,就必须对内插后的信号进行低通滤波(滤波器的带宽为 π/I)。内插滤波原理如图 5 所示^[9]。

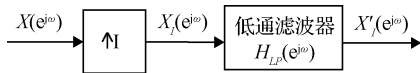


图 5 内插滤波原理

4 实验结果

本文所阐述的设计方案在工程实践中得到了应用,如图 6 所示为国内某单位应用本设计方案研制生产的信号处理板卡。

在进行回波信号模拟时,信号质量是重点关注的一个指标,而杂散抑制制度是评价信号质量的关键指标,利用专用仪表对本文所设计板卡的杂散抑制制度进行了测试,测试中利用是德科技(原安捷伦公司)生产的 E8257D 信号源(250 kHz~40 GHz)模拟产生 300 MHz 和 750 MHz 的测试信号,通过系统复制转发后,应用安捷伦公司生产的



图 6 板卡外形

E4447A(3 Hz~42.98 GHz)频谱仪对信号的杂散抑制制度进行测量,结果如表 3 所示。

表 3 杂散抑制制度测试表

输入信号频率:300 MHz		
序号	杂散值	频谱仪参数设置
1	-58 dBc@340 Hz	Span:20 kHz, RBW:30 Hz
2	-57 dBc@660 Hz	Span:20 kHz, RBW:30 Hz
3	-58 dBc@1.5 KHz	Span:20 kHz, RBW:30 Hz
4	-74 dBc@1 MHz	Span:20 MHz, RBW:300 Hz
5	-58 dBc@500 MHz	Span:1 GHz, RBW:3 kHz
输入信号频率:750 MHz		
序号	杂散值	备注
1	-56 dBc@340 Hz	Span:20 kHz, RBW:30 Hz
2	-56 dBc@660 Hz	Span:20 kHz, RBW:30 Hz
3	-58 dBc@1.5 KHz	Span:20 kHz, RBW:30 Hz
4	-70 dBc@1 MHz	Span:20 MHz, RBW:300 Hz
5	-57 dBc@500 MHz	Span:1 GHz, RBW:3 kHz

根据对国内多家同类产品调研了解的情况,杂散值一般要求小于 50 dBc,本文所设计电路板的指标明显优于这一要求,能够逼真的复现雷达目标回波特性。

同时还利用该型板卡进行了宽带雷达回波信号产生试验,其连接方式如图 7 所示。试验中利用安捷伦公司生产的 E8257D 信号源(250 kHz~40 GHz)模拟雷达信号,采用线性调频信号形式产生具有一定带宽的脉压信号,信号通过模拟系统进行相关调制后,应用安捷伦公司生产的 DSO80604B(直流~6 GHz)示波器对信号的时域信息进行测量^[10]。

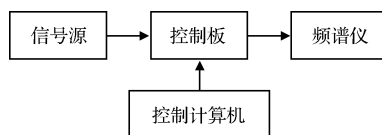


图 7 测量连接原理

如图8所示为通过系统调制后产生的距离扩展信号,信号在基带测量,扩展点数为16点,各扩展点之间具有相对的幅度起伏关系,应用此方案,可精确模拟高分辨雷达的目标回波特性。

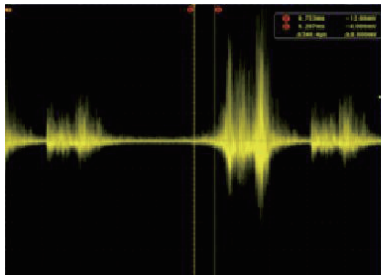


图8 距离扩展目标示意

5 结论

本文对基于FPGA的宽带雷达回波信号处理板的设计方案、芯片选型和功能设计方案进行了研究,研究内容对于相关系统尤其是宽带系统的建设具有一定的指导意义。目前关于雷达测试系统建设的文章很多,有偏重于平台建设的,有偏重于模型研究的。本文研究主要侧重于软硬件平台的建设,但目标、背景和干扰模型的研究也是雷达测试系统建设的关键问题和难点问题,因为模型的置信度是决定试验逼真度的关键因素,因此,开展相关模型的研究,也是雷达测试系统建设的一项重要任务。

参考文献

[1] 张军杰,黄波,冉焱. 基于虚拟仪器的便携式雷达测试系统设计[J]. 电子科技,2014,27(11):131-134.

- [2] 蒯伟,张海波. 雷达测试系统的现状与未来[J]. 舰船电子工程,2008(10):34-36.
- [3] 杨建,邓志清,高峰. 基于FPGA的多功能雷达信号处理板硬件系统设计[J]. 舰船电子对抗,2011(6):52-56.
- [4] 崔准,刘飞. 中频信号处理板的设计与实现[J]. 现代电子技术,2012(7):108-110.
- [5] 王永伟,刘岩俊. 嵌入式网络控制系统设计与实现[J]. 国外电子测量技术,2014,33(9):50-53.
- [6] 张家昌,饶伟,蒋志国. 雷达目标一维距离像仿真研究[J]. 电子测量技术,2013,36(5):38-40.
- [7] 王飞. 基于FPGA的多通道高分辨率时间数字转换系统设计[J]. 电子测量与仪器学报,2014,28(6):664-666.
- [8] 张叔梅. 基于ARM+FPGA的高精度数据采集系统设计[J]. 国外电子测量技术,2014,33(11):62-65.
- [9] 单文君,周学纯,李文华. 基于FPGA的FIR数字滤波器设计与实现[J]. 现代电子技术,2013(14):123-126.
- [10] 顾振杰,刘宇. 脉压雷达导引头仿真试验系统构建方法研究[J]. 战术导弹技术,2015(6):71-76.

作者简介

顾振杰,1976年7月,本科,91336部队高级工程师,主要研究方向为射频仿真。

E-mail:gzejlr2000@163.com

刘宇,1979年5月,硕士,91336部队工程师,主要研究方向为射频仿真。