

基于 FPGA 的主动全向浮标探测信号模拟

姜 昆¹ 杨日杰¹ 郑晓庆¹ 苏里阳²

(1. 海军航空工程学院电子信息工程系 烟台 264001; 2. 解放军 91550 部队 烟台 265700)

摘 要:研究了主动全向浮标探测信号模拟技术并进行了工程实现,为外场检测校准机上浮标搜潜系统提供了一种手段。以 FPGA 为控制核心,设计了信号生成算法模块及目标强度设置算法模块,实现了对主动全向声纳浮标的发射信号的模拟;通过叠加目标强度、多普勒频移等潜艇目标信息实现了对主动全向声纳浮标探测信号的模拟;搭建了实验验证系统对生成的单频(CW)信号和线性调频(LFM)信号的特性进行了测试,实验结果表明模拟的主动全向声纳浮标探测信号性能较好,本文研究内容有明确的军事应用价值。

关键词:主动全向浮标;信号模拟;FPGA

中图分类号: TN02 **文献标识码:**A **国家标准学科分类代码:** 510.80.20

Active omnidirectional buoy detecting signal simulation based on FPGA

Jiang Kun Yang Rijie Zheng Xiaoqing Su Liyang

(1. Department of Electronic and Information Engineering of Naval Aeronautical and Astronautical University, Yantai 264001, China; 2. 91550 Troops of People's Liberation Army, Yantai 265700, China)

Abstract: Active omnidirectional buoys detecting signal simulation technology was studied and the system was implemented, a means for the field testing calibration machine buoy search system was provided. With FPGA as the core, the signal generation algorithm module and target strength set algorithm module were designed and active omnidirectional sonobuoy emission signal simulation was designed. By superposition of target strength, Doppler frequency shift of submarine target information, the simulation of active Omnidirectional sonobuoy detecting signal was realized. An experiment system had been set up, the generated CW signal and LFM signal were tested and the experimental results showed that simulation of active Omnidirectional sonobuoy detecting signal performance was good, the research contents of this paper have very definite military application value.

Keywords: active omnidirectional buoys; signal simulation; FPGA

1 引 言

反潜机在执行任务或者训练时,要求其能够对目标进行准确高效的探测、定位及跟踪,所以必须保证机上声纳浮标搜潜系统平时处于比较好的战技状态,这就要求部队定期对机上声纳浮标搜潜系统进行检测和校对。而目前还比较缺乏外场对机上浮标搜潜系统检测校准的手段,本文以此为背景研究了主动全向浮标探测信号模拟技术,对主动全向浮标探测信号模拟的关键在于:1)产生浮标本身交替发射的单频(CW)和线性调频(LFM)信号;2)叠加多普勒频移、目标强度等目标信息^[1-2]。本文主要介绍的主动全向浮标探测信号模拟技术,对其与机上浮标搜潜系统

的无线电通信未做介绍,但整个系统是包括这一部分的。

2 总体结构

主动全向浮标探测信号模拟技术的总体结构如图 1 所示。

微控制器解码人机交互指令后,确定浮标类型为主动全向浮标,微控制器通过串口给 FPGA 发送一串控制码, FPGA 的信号生成模块生成单频脉冲(CW)信号和线性调频(LFM)信号,目标强度设置模块生成两位的组合编码(TS1、TS2)传送至目标强度设置电路;生成的 CW 信号及 LFM 信号经 DA 转换,叠加目标强度信息之后将合成信号按照一定频率存储到存储单元中然后再按照一定的频

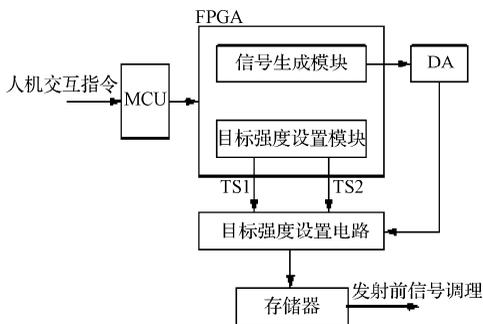


图1 总体结构

率读取,完成多普勒频移信息的叠加,然后进行调频、混频及功放模块后经全向天线发射实现与机上搜潜系统通信。

3 硬件设计

本文硬件部分主要由 FPGA 应用电路、目标强度设置

电路、模数转换电路以及多普勒频移设置 4 部分组成。

本文选用的 FPGA 型号是 EP4CE6E22C8N,主要用于产生系统整体正常工作的各种激励信号及控制信号,完成系统各工作参数的设置。FPGA 应用电路的设计主要包括电源选择、晶振的选择、配置电路设计和接口设计。

目标强度设计电路采用了模拟开关芯片 HCT4053 和运放 LF353 构成,具体电路如图 2 所示。FPGA 目标强度设置模块产生的 TS1 和 TS2 信号的组合编码用于控制开关芯片需要接入电路的电阻的选择,根据设定的目标强度可以对各个阻值进行计算。如图 2 所示,假设图中可调电位器 R_{70} 的上半部分电阻值为 R_A ,下半部分电阻值为 R_B ,取 R_{71} 、 R_{68} 和 R_{69} 在控制信号 TS1、TS2 控制下接入电路的并联电阻值为 R ,则该电路的放大倍数为:

$$A = \frac{R_B}{R_A + R_B} \times \frac{R + R_{72}}{R} \quad (1)$$

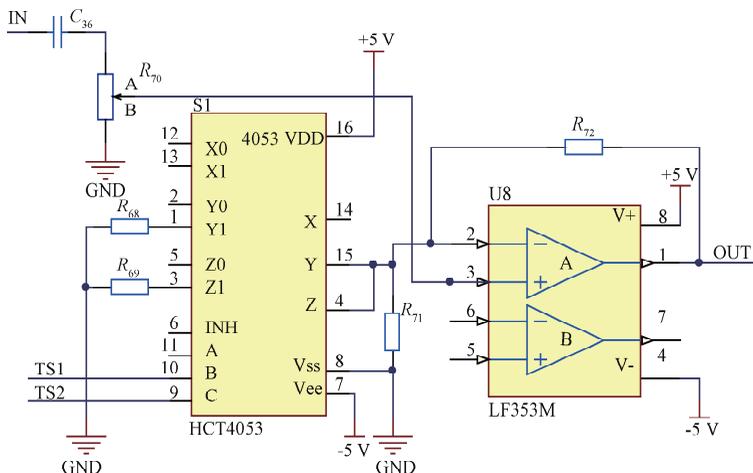


图2 目标强度设置电路

R 的取值为:

1)当控制信号组合码为“00”时:

$$R = R_{71} \quad (2)$$

2)当控制信号组合码为“01”时:

$$R = \frac{R_{71} \cdot R_{69}}{R_{71} + R_{69}} \quad (3)$$

3)当控制信号组合码为“10”时:

$$R = \frac{R_{71} \cdot R_{68}}{R_{71} + R_{68}} \quad (4)$$

通过预先选定的目标强度可以算出对应的放大倍数,进而根据式(2)、(3)、(4)计算得到相应的电阻值。

数模转换电路采用的是 DAC0808,采用 +5 V 供电,

管脚 A8~A1 与信号合成模块的锁存器输出相连,电路如图 3 所示。输出电压为:

$$V = 5 \left(\frac{D_1}{2} + \frac{D_2}{2^2} + \dots + \frac{D_8}{2^8} \right) \quad (5)$$

式中: $D_1 \sim D_8$ 分别指的是 D/A 数据线上的数据^[3-4]。

多普勒频移是通过改变 FPGA 生成信号的存储速率实现的。利用存储以及读取信号的单个周期内的采样点数是相同的这一特点,可以推导出模拟目标的运动速度只需要改变存取信号的时钟频率即可,所以要实现对不同运动速率的模拟只需对应不同的读取速率即可。

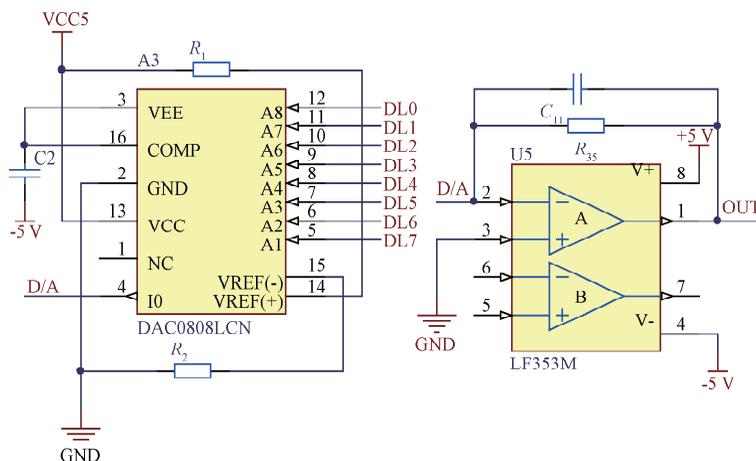


图3 D/A转换电路

4 软件设计

FPGA 软件部分主要包括信号生成模块以及目标强度设置模块,而目标强度设置模块比较简单在此不再叙述,重点介绍信号生成模块。信号生成模块的程序结构如图4所示。

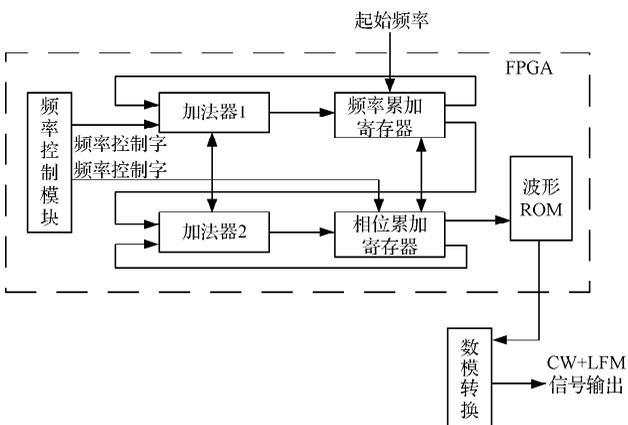


图4 信号生成模块结构

如图4所示,其中加法器1与频率累加器构成LFM信号生成的核心部分;相位累加器与波形ROM构成CW信号生成的核心部分。

其中相位累加器的结构如图5所示。

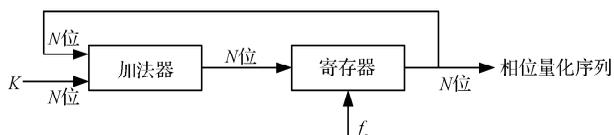


图5 相位累加器原理

由一个N位加法器和一个N位寄存器组成,通过把前一时钟的累加结果反馈到加法器以完成累加功能。此

处的N指的是相位累加器字长,K指的是频率控制字。每个时钟周期,相位累加器按照步长K递增。

波形ROM示意如图6所示。



图6 波形ROM示意

当ROM地址线上数据状态发生改变时,数据线上输出相应量化序列。由于波形ROM有限的存储量,相位累加器的位宽一般不等于ROM地址总线的位宽,所以该过程不可避免会产生相位截断误差。

频率控制字K唯一的确定了模拟信号 f_0 :

$$f_0 = k \cdot \frac{f_c}{2^N} \quad (6)$$

当 $K = 1$ 的时候DDS输出最低频率为 Δf :

$$\Delta f = \frac{f_c}{2^N} \quad (7)$$

这就是DDS频率分辨率,随着N增大 Δf 不断提高。D/A转换器的输出波形相当于是一个连续平滑波形的采样,根据奈奎斯特采样定律,采样必须大于信号频率的两倍;也就是说D/A转换器的输出如果要完全恢复的话,输出波形的频率必须小于 $f_c/2^N$;一般来说,由于低通滤波器的设计不可能达到理想情况,即低通滤波器总是有一定的过渡带,所以输出频率还要有一定的余量,一般来说在实际应用当中DDS的输出频率不能超过 $0.4f_c$ [5-6]。

在系统时钟的上升沿期间,上一个时钟的相位值与频率控制字相加被送入累加寄存器,并将高8位输出至波形ROM模块的地址线,同时累加值又被送回全加器进行下一次的相位累加。根据设计要求输入的频率点选择频率步进为600 Hz。系统选用的是50 MHz的晶振,

所以有:

$$f = 50 \times 0.4 = 20 \text{ MHz} \geq 600 \text{ Hz} \quad (8)$$

考虑到频率的分辨率要小于或等于频率的步进值,又累加器的字长一般为8的整数倍。由式(7)计算可得符合设计要求的累加器的字长为 $N=24$ 。

$$f_{\min} = \frac{f_{clk}}{2^N} = \frac{50 \text{ MHz}}{2^{24}} \approx 2.98 \leq 600 \text{ Hz} \quad (9)$$

对于波形 ROM 模块,首先得确定其地址总线以及数据总线的位宽,本设计中由于采用的 DA 芯片 DAC0808 是 8 位的,所以采用的 ROM 字长也是 8 位的,地址总线同样也选用的 8 位地址总线。通过累加器的高 8 位完成对波形 ROM 的寻址,然后得到该相位所对应的二进制序列。将得到的结果转化为 8 位二进制数据,将其幅值控制在 0000 0000~1111 1111 之间,最后利用 Verilog 语言编写实现正弦 ROM 的设计^[7-10]。

如图 4 所示,加法器 1 与频率累加器共同完成从起始频率开始频率的线性累加。在每一个时钟的上升沿,频率累加器根据频率控制模块的频率控制字生成线性增加的瞬时频率控制字,然后通过相位累加器计算得到线性调频信号的瞬时相位,以此在波形 ROM 模块完成查表获得与其对应的幅值。然后在下一个时钟上升沿到来的时候,以本次计算所得瞬时频率控制字为基础进行一次循环。

频率控制模块步进为 600 Hz,在其内部又增加了 4 档附加的频率步进值。分别为最小步进的 1 倍、2 倍、3 倍和 4 倍即 600 Hz、1 200 Hz、1 800 Hz 和 2 400 Hz。这样就可以由大到小的利用合适的步进值很快的调整到所需的频率点。

5 测试

构建了主动全向浮标探测模拟信号的测试系统,该系统采用了海泰电子的数采系统、DSA815-TG 频谱分析仪及 Tektronix 的 MDO3024 示波器来进行实验数据的采集及分析。

由于测试数据的保密性,在此不以具体测试值表示测试结果,而采用误差的形式表示。单频信号中心频率测试结果如表 1 所示。

| 中心频率 | F_1 | F_2 | F_3 | F_4 |
|------|-------|-------|--------|-------|
| | 0 | 0.01 | -0.01 | 0 |
| 测试误差 | 0.01 | 0 | -0.02 | 0 |
| | 0.03 | 0 | 0.01 | 0 |
| | -0.02 | 0.01 | 0 | 0 |
| 平均值 | 0.005 | 0.005 | -0.005 | 0 |

通过海泰电子数据采集系统将 LFM 波形采集并生成文本数据,导入 MATLAB 与理想的线性调频信号做相关得到如图 7 所示的相关函数图。

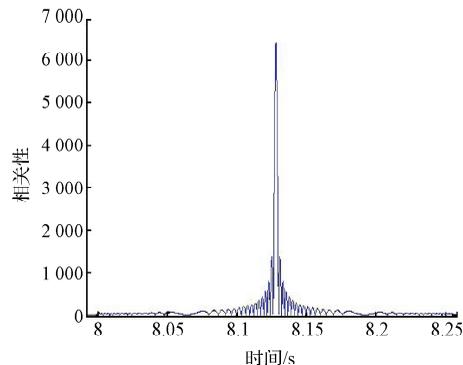


图 7 波形 ROM 示意

由表 1 可以看出,单频信号的频率与要求的中心频率相差不大,平均在 5 Hz 左右,模拟的单频信号精度比较高。由图 7 可知,模拟生成的线性调频信号与理想的线性调频信号的相关性比较好,达到了设计要求。

6 结论

经试验,本文设计研究的主动全向浮标信号模拟技术能够有效的模拟潜艇目标的目标强度、多普勒频移等回波信息,能够实现与机上搜潜系统的无线电数据传输,为外场检测机上浮标搜潜系统对主动全向浮标探测信号处理性能提供了一种有效的手段。但是本文模拟的主动全向浮标探测信号没有叠加海噪声干扰,与实际情况有一定的差距;而且 FPGA 的性能有较大的剩余,所以以后将叠加实测的海噪声信号以期能更好的检测机上浮标搜潜系统的性能。

参考文献

- [1] 李玉强,杜选民,周胜增. 几种新型主动声呐发射信号性能分析研究[J]. 舰船科学技术, 2015, 37(11): 103-107.
- [2] 李俊年,孟士超,余亚军. 主动声呐发射波形设计研究[J]. 舰船科学技术, 2014, 36(4): 108-111.
- [3] 苏里阳,杨日杰,姜超,等. 基于单片机的海洋温深测量装置设计[J]. 国外电子测量技术, 2015, 34(8): 90-92.
- [4] 孙东利,幸莫琼,赵广平,等. 电子模拟声系系统的设计[J]. 电子测量技术, 2015, 38(10): 17-20.
- [5] 李晓芳,常春波,高文华. 基于 FPGA 的 DDS 算法优化[J]. 仪器仪表学报, 2006, 27(增刊 1): 896-898.
- [6] 程振红,黄光明. DDS 分相存储相位累加器的资源优化技术研究[J]. 电子测量技术, 2015, 38(9): 1-5.

(下转第 102 页)