

# 多通道均方根值-平均值检波器的 FPGA 设计

张超<sup>1,2</sup> 许建华<sup>2</sup> 张志<sup>2</sup>

(1. 电子测试技术科技重点实验室 青岛 266555; 2. 中国电子科技集团公司第41研究所 青岛 266555)

**摘要:**均方根值-平均值(RMS-Average)检波器是 CISPR16-1-1 标准为有效抑制当今数字调制造成的脉冲干扰的影响而增加的一种新型加权检波器。首先分析了 CISPR16-1-1 标准中规定的 RMS-Average 检波器的频率响应曲线,然后给出了数字化 RMS-Average 检波器设计过程的差分方程,基于该差分方程给出了一种多通道均方根值-平均值检波器的 FPGA 实现结构,该结构特别适用于基于 FFT 的时域 EMI 测试接收机设计,最后通过实例验证给出了检波器阶跃响应曲线。该设计方法和 FPGA 实现结构在某时域 EMI 测试接收机的应用中,效果良好。

**关键词:**时域 EMI 测量; CISPR; 均方根值-平均值检波器; 权重函数

**中图分类号:** TN929.533 **文献标识码:** A **国家标准学科分类代码:** 510.4099

## Implementation of multi-channel RMS-Average detector on FPGA

Zhang Chao<sup>1,2</sup> Xu Jianhua<sup>2</sup> Zhang Zhi<sup>2</sup>

(1. Science and Technology on Electronic Test & Measurement Laboratory, Qingdao 266555, China;

2. The 41st Research Institute of CETC, Qingdao 266555, China)

**Abstract:** RMS-Average Detector is a new CISPR weighting detector to better consider the Impact of impulsive disturbances used in digital modulation system. The first, this paper put forward difference equation of digital RMS-Average Detector, according to Frequency Response of RMS-Average Detector referencing to CISPR 16-1-1 basic standard. The second, Implementation structure of Multi-channel RMS-Average Detector on FPGA is present in this paper. This Implementation structure could directly applicable to Time-domain EMI test receiver based on FFT. Lastly, step response of detector is obtained by simulation based on FPGA. This Method and implementation structure of FPGA is used in Time-domain EMI test receiver, and the application effect is all right.

**Keywords:** time-domain EMI test; CISPR; RMS-Average detector; weighted function

### 1 引言

在电磁兼容测试领域,EMI 测试接收机是用于电磁辐射发射干扰和传导干扰测试的最常用的测量仪器。超外差式 EMI 测试接收机为了在设置的测量时间内测量信号电平,通常需要较长的测量时间才能获得精确的信号电平,尤其是针对脉冲形式的电磁干扰,测量时间必须大于信号脉冲重复周期,扫描整个频率范围需要很长时间,从而导致测试成本高昂。

基于 STFFT 的时域 EMI 测量技术<sup>[1]</sup>,可将整个中频带宽内的时域信号分解成多个频率成分,即在整個中频带宽内执行测量。STFFT 滤波器组相当于中频带宽内的一组 EMI 带宽滤波器,STFFT 并行滤波后再执行要求的

EMI 检波器即可得到一组频点的电磁辐射信号测量电平,相对于传统 EMI 测试接收机来说,测量效率大幅提升。由于基于 STFFT 的时域 EMI 测试接收机可以将 EMI 测试效率提高几个数量级,不仅可以大幅加快预测试速度,还可以用于符合 CISPR 16-1-1 标准第 3 版第 1 修正案 EMI 认证测试<sup>[2-5]</sup>。

通常 EMI 测试接收机具有多种形式的检波器,用来测量不同类型的干扰信号。例如峰值检波器、准峰值检波器、均方根值检波器、平均值检波器等<sup>[6-11]</sup>,为有效抑制当今数字调制造成的脉冲干扰的影响,CISPR16-1-1 标准中增加了均方根值-平均值(RMS-Average)检波器以及线性平均值(CAV)检波器,这些检波器使用了标准的时间常数,有利于测量间歇的、不稳定的、漂移的窄带骚扰的加权

峰值测量值。

为了在 FPGA 器件中实现适用于基于 STFFT 的时域 EMI 测试方法的多通道 RMS-Average 检波器,从分析 RMS-Average 检波器的加权函数入手,给出了一种的 FPGA 实现结构,该结构巧妙的利用了双口 RAM 的同时读写能力和流水线技术,整个检波器电路时钟可工作到 250 MHz 的高速时钟上,可以满足时域 EMI 测试接收机高速处理的设计要求。

## 2 RMS-Average 检波器的权重函数设计

RMS-Average 检波器包括一个测量时间与拐点频率的倒数相同的均方根值检波器,一个具有测量时间常数的线性平均值检波器和一个峰值检波器组成,如图 1 所示<sup>[2,4]</sup>。如表 1 所示为 CISPR 中的 RMS-Average 检波器时间常数。

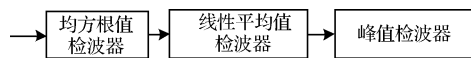


图 1 均方根值-平均值检波器组成

表 1 CISPR 中 RMS-Average 检波器时间常数<sup>[5]</sup>

频段	频率范围 /Hz	EMI 带宽 /Hz	时间常数 /ms	拐点频率 /Hz
频段 A	<150 k	200	160	10
频段 B	150 k~30 M	9 k	160	10
频段 C/D	30 M~1 G	120 k	100	100
频段 E	>1 G	1 M	100	1 k

CISPR16-1-1 标准中规定均方根值-平均值检波器的频率响应曲线为:均方根值检波器的权重函数是每十倍频程降低 10 dB,线性平均值检波器的权重函数是每十倍频程降低 20 dB。

根据 RMS-Average 检波器的频率响应曲线,对应的模拟电路系统可理解为一阶 RC 电路系统。因此均方根值检波器可以采用一阶低通滤波器系统来实现,该一阶低通滤波器对 EMI 带宽滤波输出的功率电压信号进行处理,该功率电压信号可以通过视频包络电压的平方处理后得到。

同样的根据 RMS-Average 检波器的频率响应曲线,线性平均值检波器对应的模拟电路系统称为模拟仪表网络或临界阻尼指示器,可理解为二阶系统,可以采用二阶低通滤波系统对视频包络电压信号进行加权平均处理,最后峰值检波器读出指定测量时间的视频包络电压最大值。

通过以上分析可以得到均方根值-平均值(RMS-Average)检波器的数字化实现方案如图 2 所示。

图 2 方案中  $x(n)$  是数字化的 EMI 滤波器输出的视频包络电压信号,经过平方运算后得到  $x'(n) = x(n) \times$

$x(n), x'(n)$  经过一阶低通滤波器后输出  $y'(n)$ , 再对  $y'(n)$  进行开方运算得到  $y(n), y(n)$  信号经过二阶低通滤波器后输出  $z(n)$ , 最后峰值检波器保持并获得指定测量时间的  $z(n)$  的最大值。

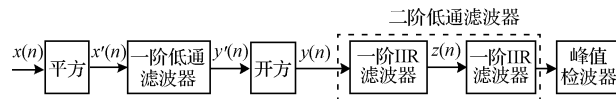


图 2 RMS-average 检波器的数字化实现方案

图 2 所示的一阶低通滤波器的差分方程可表示为:

$$y'(n) = (1 - K) \times y'(n - 1) + K \times x'(n) \quad (1)$$

式中:常数  $K = \text{时间常}/\text{采样周期数}$ , 即  $K = T_s/\tau = T_s\omega_c = 2\pi f_c T_s$ 。时间常数  $\tau$  等于滤波器转折角频率  $\omega_c$  的倒数,  $f_c$  为拐点频率。

图 2 所示的二阶数字低通滤波器可通过两个一阶 IIR 滤波器级联组成, 其中一阶 IIR 滤波器的差分方程表示为:

$$z(n) = K_1 \times z(n - 1) + K_2 \times (y(n) + y(n - 1)) \quad (2)$$

式中:  $K_1 = (2 \times T_M - T_b)/T_b + 2 \times T_M, K_2 = T_b/(T_b + 2 \times T_M)$ ,  $T_M$  为测量时间常数<sup>[5]</sup>。

## 3 多通道 RMS-Average 检波器的 FPGA 设计

为了更加清楚的说明作者的设计思路,本文首先以图 2 所示的二阶低通滤波器中的一阶 IIR 滤波器为例,给出  $N$  个通道的 IIR 滤波器的 FPGA 实现方案,然后再构成多通道 RMS-Average 检波器的 FPGA 实现方案。如图 3 所示为  $N$  通道一阶 IIR 滤波器的 FPGA 实现方案。假定第  $m$  通道第  $n$  个点的输入信号表示为  $y_m(n)$ , 连续  $N$  个通道的第  $n$  个点的输入信号序列可表示为  $y_0(n), y_1(n), y_2(n), \dots, y_{N-2}(n), y_{N-1}(n)$ 。

当连续  $N$  个通道的第  $n$  个点完成后,然后依次  $N$  通道第  $n+1$  点的信号数据;

$$y_0(n), y_1(n), y_2(n), \dots, y_{N-2}(n), y_{N-1}(n), y_0(n+1), y_1(n+1), \dots, y_{N-1}(n+1)。$$

如图 3 所示的实现方案包括 3 个乘法器、一个加法器、一个数据延迟器、两个双端口存储器 and 两个循环地址累加器组成,利用双口 RAM 的地址和数据同时访问的能力进行实时的数字滤波处理。双端口存储器 1 存储  $N$  个通道的当前输入数据  $y_m(n)$  的前一个采样数据  $y_m(n-1)$ , 双端口存储器 2 存储  $N$  个通道的当前输出数据  $z_m(n)$ , 用于参与下一个输出数据  $z_m(n+1)$  的计算。

该方案首先将两个双端口存储器的内部存储的初始化为 0, 假定系统工作时钟为 CLK, 在第一个 CLK 时钟沿, 第 0 个通道的第 1 个数据  $y_0(1)$  输入, 循环地址累加器 1 输出的地址指向第 0 个通道的前次采样数据存放的地址, 此时读出的前次采样数据  $y_0(0)$  为 0, 循环地址累加器 2 输出的地址指向第 0 个通道的前次输出数据存放的

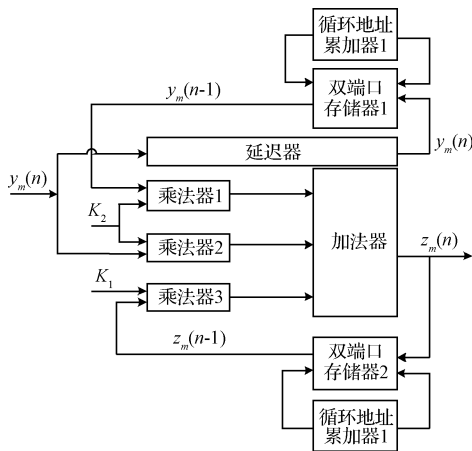


图3 N通道一阶IIR滤波器实现方案

地址,此时读出的前次输出数据  $z_0(0)$  也为0,3个乘法器和1个加法器经过  $L$  级流水线处理之后(即第  $L$  个CLK时钟之后)完成  $z_0(1)$  的计算,即:

$$z_0(1) = k_2 \times z_0(0) + k_1 \times y_0(0) + k_1 \times y_0(1) \quad (3)$$

同时将  $z_0(1)$  存储到双端口存储器2中,另外  $y_0(1)$  经过  $L$  级流水线延迟器后的数据也同时存储到双端口存储器1中。在第2个CLK时钟沿,第1个通道的第一个数据  $y_1(1)$  输入,与第0个通道的计算过程类似,再次经过  $L$  个流水线处理之后,得到  $z_1(1)$ ,依次类推,获得连续  $N$  个通道的第一个输出数据的计算。在  $N$  个CLK时钟之后,第0个通道的第2个数据  $y_0(2)$  输入,和第1个数据的计算相同,依次类推,获得连续  $N$  个通道的第2个输出数据的计算。通过上述存储模块和运算模块的并发执行,最后完成  $N$  个通道的数字滤波处理。

假定双端口存储器的读取数据的流水线延迟为  $P$  级,通过上述分析可知当  $(L+P) \leq N$  的情况下,该技术方案可以完成  $N$  通道的一阶IIR滤波处理。两个一阶IIR滤波处理模块级联,即可完成如图2所示的二阶低通滤波器的设计。

根据图3所示方案的设计思想,可以得到图2中  $N$  通道一阶低通滤波器的技术方案,如图4所示。还可以得到  $N$  通道峰值检波器的技术方案,如图5所示,在此不再详述。另外图2中所示的开方运算可采用基于CORDIC算法进行设计,因相关文献资料较多,在此也不再详述。

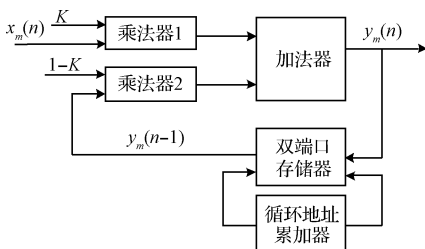


图4 N通道一阶低通滤波器方案

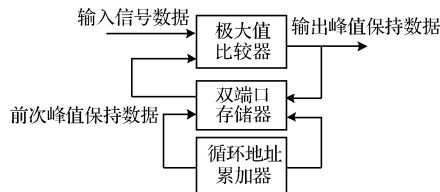


图5 N通道峰值检波器方案

#### 4 FPGA仿真与实际应用

在某时域EMI测试接收机设计中,对于频段A的测量采用了200 Hz的6 dB带宽,等效采样速率  $T_s = 10$  kHz,拐点频率为10 Hz,时间常数为160 ms,依据本文第2章节的设计方法,式(2)中的系数  $K_1$  和  $K_2$  采用32位定点数据归一化,对设计出二阶数字低通滤波器进行FPGA功能仿真,二阶低通滤波系统阶跃响应如图6所示,实际时间常数为159.5 ms。

对设计出一阶低通滤波系统进行FPGA功能仿真,其阶跃响应曲线如图7所示,实际时间常数为15.4 ms,拐点频率为10.3 Hz。本文设计的RMS-Average检波器阶跃响应曲线如图8所示,符合CISPR标准中的设计要求。

依据本文提出的设计方法设计的多通道均方根值-平均值检波器应用到某时域EMI测试接收机中,图9给出了采用最大峰值检波和RMS-Average检波测量的脉冲调制信号曲线。

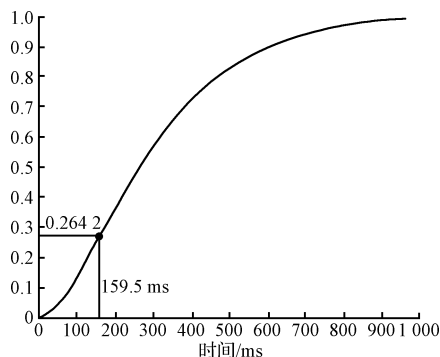


图6 二阶低通滤波系统阶跃响应曲线

图9中的脉冲调制信号载频为500 MHz,脉冲周期为1 s,脉冲宽度为100 ms。为验证本文设计的RMS-Average检波器的权重函数的正确性,将某一脉冲调制信号输入到某时域EMI测试接收机中,脉冲调制信号载频为500 MHz,脉冲宽度为8.33  $\mu$ s,脉冲重复频率依次从1 Hz到100 kHz进行变化,分别获得最大峰值检波和RMS-Average检波器的测量结果,图9中的虚线表示最大峰值检波,实线表示RMS-Average检波曲线,单位是dBuV。通过两个对数测量结果进行差值获得的C/D频段的RMS-Average检波的权重函数如图10所示。可以看出,该权重函数曲线在高于拐点频率100 Hz的频段内,脉冲重复频率每增加十倍频程,权重函数降低约10 dB,在低于

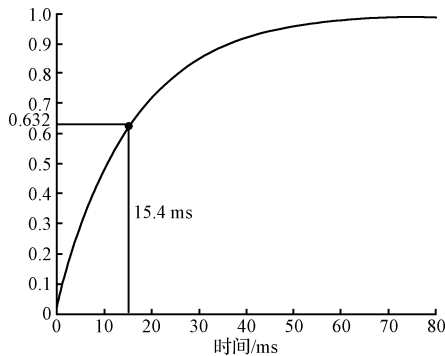


图7 一阶低通滤波系统阶跃响应曲线

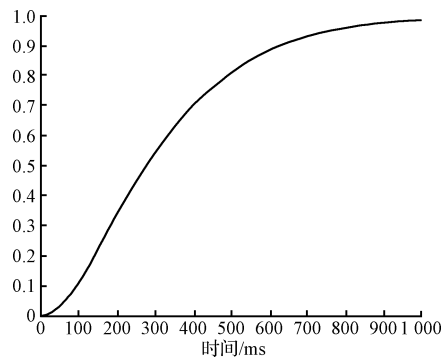


图8 RMS-Average 检波器阶跃响应曲线

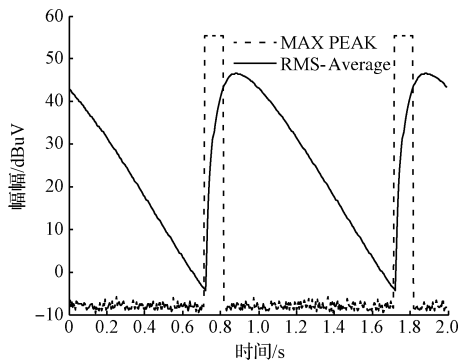


图9 脉冲信号测量曲线

拐点频率 100 Hz 的频段内,脉冲重复频率每增加十倍频程,权重函数降低约 20 dB,完全符合 CISPR16-1-1 标准要求。

### 5 结论

本文提出的多通道 RMS-Average 检波器的 FPGA 实现结构,能够同时对多路视频包络信号进行检波处理,尤其适用于基于离散短时傅里叶变换的时域 EMI 测试接收机设计。均方根值-平均值(RMS-Average)检波器符合数字无线通信系统的加权特性。具有 RMS-Average 检波功能的时域 EMI 测试技术将大幅提高 EMI 认证测试的效率,必将在电磁兼容测试领域得到广泛应用。

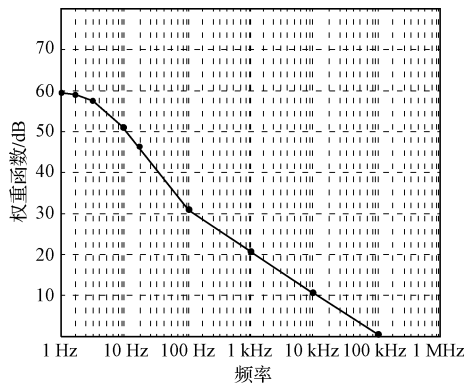


图10 RMS-Average 检波器权重函数(C/D 频段)

### 参考文献

- [1] BRAUN S. An overview of emission measurements in time-domain[M]. EMC'09/Kyoto, Copyright 2009 IEICE, 2009;681-684.
- [2] MEDLER J. 均方根值-平均值检波器——一种脉冲干扰抑制效果更佳的新型 CISPR 加权检波器[J]. 安全与电磁兼容,2008(2):89-91.
- [3] 钱时祥,江炜宁,江岩. 电磁兼容测试中准峰值检波器数字化设计[J]. 电测与仪表,2010,47(5): 24-26.
- [4] 崔强,靳冬. 均方根值-平均值检波器的实测对比与研究[J]. 安全与电磁兼容,2010(1):17-19
- [5] Rohde & Schwarz GmbH & Co. R&S®ESR EMI Test Receiver User Manua[Z]. 1175. 7068. 02-06
- [6] 刘时宜,王文格,胡旭,等. EMI 现场测试中常驻窄带信号剔除算法研究[J]. 电子测量与仪器学报,2015, 29(9):1271-1277.
- [7] MEDLER J. 使用基于 FFT 的 EMI 测试接收机进行 EMI 认证测量[J]. 安全与电磁兼容,2013(5):76-79.
- [8] 孟春生,宋楠,刘景莉,等. 无线电监测接收机检波器性能研究[C]. 2013 年全国无线电应用与管理学术会议论文集,2013:184-191.
- [9] 王少军,张启荣,彭宇,等. 超越函数 FPGA 计算的最佳等距分段线性逼近方法[J]. 仪器仪表学报,2014, 35(6):1210-1212.
- [10] Amendment A2: 2007 to CISPR16-1-1: 2006: Weighting of interference according to its effecton digital communication services [S]. Geneva, Switzerland: IEC, 2007.
- [11] 俞一鸣. 时频分析简介及应用[J]. 国外电子测量技术,2015,34(6):12-15.
- [12] 康学福. 滤波电路频率特性的仿真分析[J]. 国外电子测量技术,2014,33(1): 40-49.
- [13] 明建成,祁舒喆. 实时频谱分析仪中重叠帧频谱分析技术研究[J]. 电子测量技术,2013,36(12):32-34.

(下转第 52 页)