

DOI: 10.19650/j.cnki.cjsi.J2210016

基于埃特金逐步插值滤波器的 TIADC 时间误差校准方法*

许川佩^{1,2}, 江林¹, 黄喜军^{1,2}

(1. 桂林电子科技大学电子工程与自动化学院 桂林 541004; 2. 广西自动检测技术与仪器重点实验室 桂林 541004)

摘要:拉格朗日插值滤波器可以应用于 TIADC 时间误差校准,并且该方法有较好的校准效果。但是拉格朗日插值滤波器的阶数不易调节,这使得该滤波器在实际应用时不灵活。本文针对此问题,提出了基于埃特金逐步插值滤波器的 TIADC 时间误差校准方法。本文简化了埃特金插值多项式的计算公式,并设计了一种新增插值结点的选取方法,从而将埃特金逐步插值算法应用于时间误差的校准。本文方法能根据 TIADC 采样系统的输入信号频率和设定的精度要求自动调节埃特金逐步插值滤波器的阶数。仿真结果表明,在 90% 的奈奎斯特频带范围内,本校准方法能有效抑制时间误差引起的杂散分量,且能自动调节滤波器的阶数,当输入信号的归一化频率为 0.35 时,校准后的 SNDR 提高了 40.37 dB。并通过实验验证本校准方法的效果。

关键词: 时间交织 ADC; 采样时间误差校准; 埃特金插值; 滤波器阶数可调

中图分类号: TH85 **文献标识码:** A **国家标准学科分类代码:** 460.40

TIADC time error calibration method based on Aitkin stepwise interpolation filter

Xu Chuanpei^{1,2}, Jiang Lin¹, Huang Xijun^{1,2}

(1. School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China;

2. Guangxi Key Laboratory of Automatic Detecting Technology and Instruments, Guilin 541004, China)

Abstract: The Lagrangian interpolation filter can be applied to calibrate TIADC time error. This method has good calibration effect. However, the order of the Lagrange interpolation filter is not easy to adjust, which makes the filter not flexible in practical application. To address the problem, this article proposes a TIADC time error calibration method based on the Aitkin stepwise interpolation filter. To apply Aitkin stepwise interpolation algorithm to time error calibration, this article simplifies the calculation formula of Aitkin interpolation polynomial and designs a method for picking new interpolation nodes. The method can automatically adjust the order of the Aitkin stepwise interpolation filter according to the input signal frequency of the TIADC sampling system and the set precision requirement. Simulation results show that the calibration method can efficiently suppress the spurious components induced by the time error within 90% of the Nyquist frequency band, and can automatically adjust the filter order. When the normalized frequency of the input signal is 0.35, the calibrated SNDR is improved by 40.37 dB. The effectiveness of this calibration method is verified through experiments.

Keywords: time-interleaved ADC; time error calibration; Aitkin interpolation; filter order is adjustable

0 引 言

近年来,由于集成电路制造工艺技术的限制,单片模数转换器(analog to digital converter, ADC)的采样率提升

受限。针对此问题,Black 等^[1]提出时间交织模数转换器(time-interleaved analog to digital converter, TIADC)的概念。TIADC 技术利用 $n(n>1)$ 个通道 ADC 并行交替采样的方法,实现采样率的 n 倍提升。但在实际中, TIADC 采样系统的各个通道 ADC 存在偏差,这给系统

带来了偏置误差、增益误差和时间误差,使系统输出信号出现杂散分量,最终导致采样系统信噪失真比(signal to noise and distortion ratio, SNDR)性能的下降^[2]。因此,为了提高 TIADC 采样系统的性能,必须校准这 3 种失配误差。3 种失配误差中,偏置误差和增益误差只需要简单的加法器和乘法器即可校准,而时间误差的校准比较困难。时间误差的校准包括时间误差的估计与补偿两个步骤,本文重点针对其中的补偿方法进行研究。

国内外有不少学者提出在模拟域上的时间误差校准方法,文献[3-4]设计可变延时线电路来校准时间误差,文献[5]提出利用数据统计特性估计出时钟失配,并通过延迟单元控制时钟延迟来实现时钟失配的校正。这种模拟域的时间误差校准方法不仅需要增加模拟电路来校准时间误差,而且校准电路的精度还容易受到模拟电路参数的误差与环境因素的影响^[6]。有学者通过调节锁相环或者直接调节 ADC 内部的寄存器对采样时钟进行延时调整,从而达到校准时间误差的目的,但是针对高采样率下 ps 级别的时间误差,往往很难达到高精度的时间误差校准^[7-8]。数字域时间误差校准是一种利用数字滤波器对 TIADC 各子通道的采样数据进行处理的时间误差校准方法,这种方法与上述方法相比,具有精度高,时间误差校准效果不易受到环境因素影响的优点^[9-12]。虽然数字域时间误差校准方法一般都需要比较复杂的数字电路,但是随着现场可编程逻辑门阵列(field programmable gate array, FPGA)技术的高速发展,目前的 FPGA 的性能足以满足数字域时间误差校准方法的需求,因此,数字域时间误差校准方法是近几年来时间误差校准研究的热点^[13-14]。

多项式插值法是一种数字域校准方法,该方法可以根据已获得的有时间误差的采样点,通过多项式插值的方式计算得出理论采样点,从而实现时间误差的校准,这是一种原理简单,易于实现的时间误差校准方法。文献[15]根据拉格朗日插值多项式,提出一种基于拉格朗日插值滤波器的时间误差校准方法,拉格朗日插值多项式结构简单,具有明显的对称性,容易实现,而且有较好的校准效果。但是随着输入信号频率的提高,拉格朗日插值滤波器的阶数也需要增大,该方法的精度才能满足。拉格朗日插值滤波器的阶数不容易改变,因为当拉格朗日插值法需要增加一个插值点时,拉格朗日插值公式的每一项系数都需要改变,所以拉格朗日插值滤波器的阶数一般都是固定的。但是,如果阶数设置得太高,对于输入频率较低的信号来说计算量就过大,增加了较多不必要的计算量,而如果阶数设置得太低,对频率较高的输入信号的校准效果会较差,所以拉格朗日插值滤波器适应性不足。

本文针对上述拉格朗日插值滤波器的不足,提出了基于埃特金逐步插值滤波器的 TIADC 时间误差校准方法。本方法采用埃特金逐步插值算法校准时间误差,能自动调节插值滤波器的阶数。当 TIADC 系统的输入信号频率提高时,本方法能自动地增大滤波器的阶数,以满足校准精度的要求,与阶数固定的拉格朗日插值滤波器相比,本方法更灵活。最后通过实验验证了本文方法的有效性。

1 时间误差校准方法

1.1 埃特金逐步插值法原理

针对拉格朗日插值法的阶数不可灵活调节的问题,埃特金提出了一种可以根据精度的要求逐步提高插值阶数的多项式插值算法。埃特金逐步线性插值公式如式(1)所示:

$$P_{k,k+1}(x) = P_{k-1,k}(x) + \frac{x - x_k}{x_k - x_{k+1}} \times [P_{k-1,k}(x) - P_{k-1,k+1}(x)] \quad (1)$$

其中, $P_{k-1,k}(x)$ 表示通过结点 x_1, x_2, \dots, x_{k-1} 以及 x_k 的 k 阶插值多项式, $P_{k-1,k+1}(x)$ 表示通过结点 x_1, x_2, \dots, x_{k-1} 以及 x_{k+1} 的 k 阶插值多项式,这两个 k 阶插值多项式通过 $k-1$ 个相同结点, $P_{k,k+1}(x)$ 表示通过结点 x_1, x_2, \dots, x_{k+1} 的 $k+1$ 阶插值多项式。式(1)表明两个相邻 k 阶插值多项式可以进行线性组合后得到一个 $k+1$ 阶插值多项式。埃特金逐步插值法的计算流程如图 1 所示,从该流程可以看出,该方法是由低阶插值结果计算出高阶插值结果,逐步地提高插值的阶数。

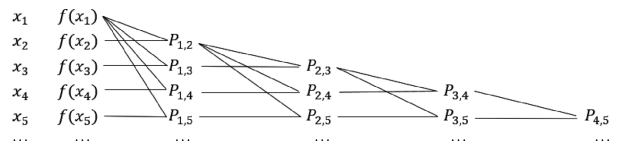


图1 埃特金逐步插值法的计算流程

Fig. 1 Calculation process of Aitkin stepwise interpolation

埃特金逐步插值法需要一个停止逐步插值的条件,于是引入插值多项式的余项概念。用插值多项式 $P(x)$ 近似代替实际函数 $f(x)$, 其余项(误差)为:

$$R(x) = f(x) - P(x) \quad (2)$$

但通常实际函数 $f(x)$ 未知,所以余项一般很难准确计算出来。埃特金给出了一个用于估计余项的公式:

$$f(x) - P_{k-1,k}(x) \approx \frac{x - x_k}{x_k - x_{k+1}} \times [P_{k-1,k}(x) - P_{k-1,k+1}(x)] \quad (3)$$

式(3)表明, k 阶插值多项式 $P_{k-1,k}(x)$ 的余项可以由 $P_{k-1,k}(x)$ 与相邻的 k 阶插值多项式 $P_{k-1,k+1}(x)$ 的差来估

计。可见,在埃特金逐步插值法的计算流程中,可以通过式 (3) 估算出当前插值结果的余项,从而能估计出当前插值结果的精度。因此,埃特金逐步插值法可以用式 (4) 作为停止条件:

$$|P_{k-1,k}(x) - P_{k-1,k+1}(x)| < \varepsilon \quad (4)$$

1.2 基于埃特金逐步插值滤波器的时间误差校准方法

本文根据埃特金逐步插值法的原理,化简了埃特金插值多项式的计算公式,设计了一种新增插值节点的选取策略,以此提出基于埃特金逐步插值滤波器的时间误差校准算法,下文将详细介绍该方法的实现。

假设 M 通道 TIADC 采样系统的相对时间误差为 α_0 , $\alpha_1, \dots, \alpha_{M-1}$, 系统的理想采样时刻为 m_0, m_1, \dots, m_n , 实际采样时刻为 t_0, t_1, \dots, t_n , 实际采样时刻对应的实际采样点为 x_0, x_1, \dots, x_n 。本文的校准方法流程如图 2 所示,该图为校准采样点 x_i 时的流程图,在阶数增加时,轮流在 x_i 的两边选取新的采样点加入插值运算。按照此方法,可以使得需要校准的采样点 x_i 位于所有插值点的中点 $\{\dots, x_{i-2}, x_{i-1}, x_i, x_{i+1}, x_{i+2}, \dots\}$, 此时的插值精度比采样点 x_i 位于所有插值点两端时的精度更高,而且更易于实现。图 2 中, b 阶插值结果表示为 $P_{a,b}(m_i)$, 与式 (1) 的定义不同, $P_{a,b}(m_i)$ 中, 下标 a 用于区分采用不同采样点做插值运算所得到的同阶插值结果, 下标 b 代表阶数。

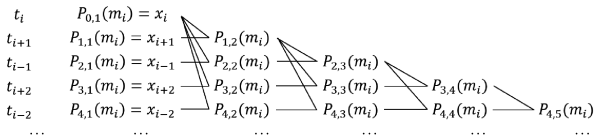


图 2 本文的时间误差校准方法计算流程

Fig.2 The calculation process of the time error calibration method in this article

校准采样点 x_i 的具体步骤如下:

1) 初始化 $a = 1$, 并分别用采样点 x_i 和 x_{i+1} 初始化 1 阶插值结果 $P_{0,1}(m_i)$ 和 $P_{1,1}(m_i)$:

$$\begin{cases} P_{0,1}(m_i) = x_i \\ P_{1,1}(m_i) = x_{i+1} \end{cases} \quad (5)$$

2) 令 $a = a + 1$, 并选取第 $i + (-1)^{a+1} \lceil a/2 \rceil$ 个采样点作为新的插值点, 并用该采样点初始化 $P_{a,1}(m_i)$:

$$P_{a,1}(m_i) = x_{i+(-1)^{a+1} \lceil a/2 \rceil} \quad (6)$$

然后按公式计算与新增插值点相关的 $2 \sim a-1$ 阶插值结果 $P_{a,2}(m_i), P_{a,3}(m_i), \dots, P_{a,a-1}(m_i)$:

$$P_{a,b}(m_i) = P_{b-2,b-1}(m_i) + h_{b-2,a} [P_{b-2,b-1}(m_i) - P_{a,b-1}(m_i)] \quad (7)$$

其中, 系数 h 的定义如下:

$$h_{d,e} = \frac{m_i - t_{i+(-1)^{d+1} \lceil d/2 \rceil}}{t_{i+(-1)^{d+1} \lceil d/2 \rceil} - t_{i+(-1)^{e+1} \lceil e/2 \rceil}} \quad (8)$$

其中, 采样时刻 m 和 t 一般情况下不容易得到, 因此, 将采样时刻 m 和 t 按照下式展开:

$$\begin{cases} m_i = iT_s \\ t_i = iT_s + \Delta t_{i\%M} \end{cases} \quad (9)$$

系数 h 可以化简为:

$$\begin{cases} h_{d,e} = \frac{-u - \alpha_{(i+u)\%M}}{u - v + \alpha_{(i+u)\%M} - \alpha_{(i+v)\%M}} \\ u = (-1)^{d+1} \lceil d/2 \rceil \\ v = (-1)^{e+1} \lceil e/2 \rceil \end{cases} \quad (10)$$

与式(8)相比,式(10)只需要知道采样时刻 m 和 t 的相对位置以及相对时间误差的值,即可计算埃特金逐步插值公式,而不需要知道确切的采样时刻。 $\alpha_i = \Delta t_i/T_s$, 为第 i 通道相对时间误差系数, M 为通道数。

3) 按照式 (11) 和 (12) 分别计算两个 a 阶插值结果 $P_{a-1,a}(m_i)$ 和 $P_{a,a}(m_i)$ 。

$$P_{a-1,a}(m_i) = P_{a-2,a-1}(m_i) + h_{a-2,a-1} \times [P_{a-2,a-1}(m_i) - P_{a-1,a-1}(m_i)] \quad (11)$$

$$P_{a,a}(m_i) = P_{a-2,a-1}(m_i) + h_{a-2,a} \times [P_{a-2,a-1}(m_i) - P_{a,a-1}(m_i)] \quad (12)$$

4) 计算余项 $|P_{a-1,a}(m_i) - P_{a,a}(m_i)|$ 。

5) 判断余项是否满足式 (13) 的要求或者当前的阶数是否已经达到设定的最大值, 若满足以上条件, 则采样点 x_i 校准结束, $P_{a-1,a}(m_i)$ 即为 x_i 的校准值, 否则再按照步骤 2) ~ 5) 的方法计算更高阶的插值结果, 直到满足上述 2 个条件。

$$|P_{a-1,a}(m_i) - P_{a,a}(m_i)| < \varepsilon \quad (13)$$

2 仿真结果分析

在 MATLAB 工具中通过仿真构建一个 TIADC 采样系统来验证本时间误差校准方法的可行性。使用 MATLAB 产生一个采样率 $f_s = 4$ GHz 的 4 通道 TIADC 采样系统, 每通道采样率为 1 GHz。偏置误差和增益误差均设为 0, 以第 0 通道为参考通道, 采样系统的相对时间误差 α 设为 $[0, 0.03, -0.03, 0.04]$, 每个子通道都叠加了均值为 0 的高斯白噪声。

2.1 基于埃特金逐步插值滤波器的时间误差校准方法

埃特金逐步插值滤波器的余项阈值 ε 设为 0.000 02, 最大阶数设为 70, 输入信号的归一化频率为 $f_{in}/f_s = 0.35$ 。图 3 是系统输出信号在校准时间误差前的频谱图, 图中, 归一化频率 0.35 处为主频点, 归一化频率 0.1、0.15 和 0.4 处为杂散频点, 杂散频点处存在杂散分量。图 4 是系统输出信号在校准时间误差后的频谱图, 可以看出, 校准后的频谱图中, 频点 0.1、0.15 和 0.4 处的杂散分量已经基本被消减到噪声附近, SNDR 由校准

前的 24.39 dB 提高到 64.76 dB,提高了 40.37 dB,本文的校准方法取得了较好的效果。图 5 将其中的 100 个采样点在校准时所用的埃特金逐步插值滤波器的阶数绘制成曲线图,从图中可以看出,各采样点在校准时间误差时所用的滤波器阶数基本上都不相等,而且最大值和最小值相差很大。

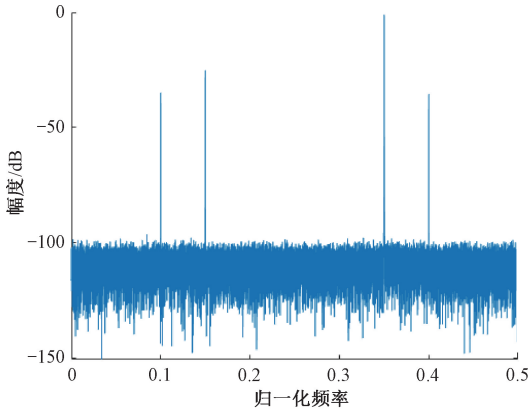


图 3 时间误差校准前的频谱图

Fig. 3 Spectrogram before time error calibration

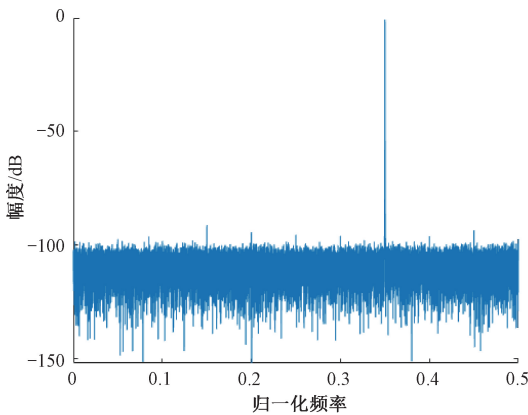


图 4 时间误差校准后的频谱图

Fig. 4 Spectrogram after time error calibration

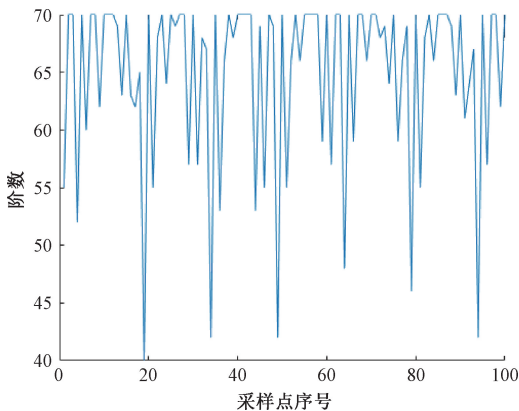


图 5 阶数曲线图

Fig. 5 Order curve diagram

为验证本文提出的时间误差校准方法对不同频率输入信号的校准效果,用多组不同频率的输入信号进行仿真验证,仿真结果如图 6 所示。从图 6 可以看出,在 90% 的奈奎斯特频带范围内,本文的时间误差校准方法能有效地提高系统的 SNDR,并且当输入信号的归一化频率小于等于 0.35 时,校准后的 SNDR 为 65 dB 左右。

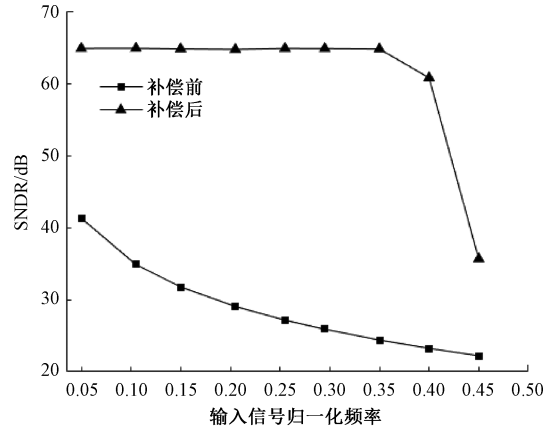


图 6 不同频率输入信号下的 SNDR 曲线图 ($\epsilon=0.000\ 02$)

Fig. 6 SNDR curves diagram under different frequency input signals ($\epsilon=0.000\ 02$)

其次,为了验证本文的时间误差校准方法自动调节滤波器阶数的功能,需要分析本方法在校准不同频率输入信号时所用的滤波器阶数。由图 5 中的结果可以看出,本文的校准方法即使在校准同一信号的不同采样点时,所用的滤波器阶数也会不相等,因此,本实验在不同频率输入信号中各取 65 536 个采样点,分别计算这 65 536 个采样点在校准时间误差时所用滤波器阶数的平均值(平均阶数),并对比较准不同频率输入信号时滤波器的平均阶数,结果如图 7 所示。图 7 表明,埃特金逐步插值滤波器的平均阶数随着输入信号频率的提高而增大。

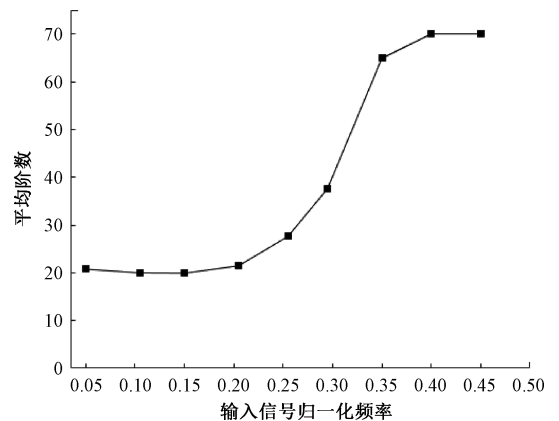


图 7 不同频率输入信号下的平均阶数曲线图 ($\epsilon=0.000\ 02$)

Fig. 7 Average order curve diagram under different frequency input signals ($\epsilon=0.000\ 02$)

将埃特金逐步插值滤波器的余项阈值 ε 设为 0.001 (相当于降低了埃特金逐步插值滤波器的精度要求),再进行实验,结果如图 8 和 9 所示。对比图 6、7 和图 8、9 可见,降低了 ε 后,校准后的 SNDR 明显降低,说明校准效果变差,但是埃特金逐步插值滤波器的平均阶数也明显减小,说明计算量明显减小。以上实验结果表明,本文的时间误差校准方法能根据 TIADC 系统采样信号的频率和设定的精度要求自动调节埃特金逐步插值滤波器的阶数。

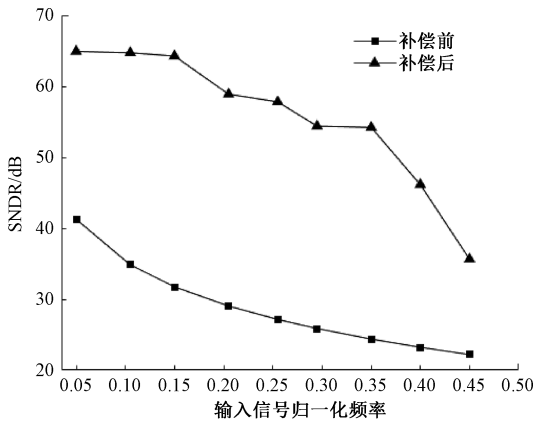


图 8 不同频率输入信号下的 SNDR 曲线 ($\varepsilon=0.001$)
Fig. 8 SNDR curves diagram under different frequency input signals ($\varepsilon=0.001$)

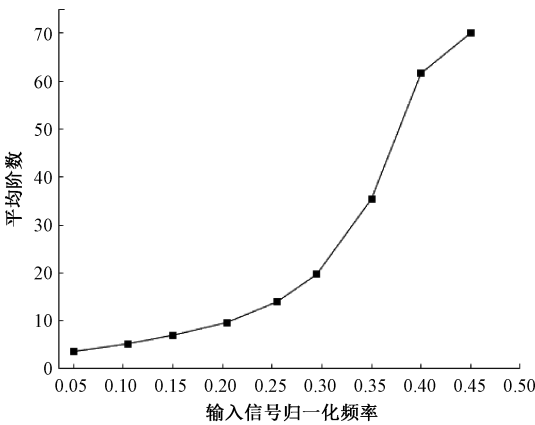


图 9 不同频率输入信号下的平均阶数曲线 ($\varepsilon=0.001$)
Fig. 9 Average order curve diagram under different frequency input signals ($\varepsilon=0.001$)

2.2 对比仿真实验

为进行比较,下面对基于拉格朗日插值滤波器的时间误差校准方法进行仿真验证。其中,10 阶拉格朗日插值滤波器对不同频率输入信号的校准效果如图 10 所示,30 阶拉格朗日插值滤波器对不同频率输入信号的校准效果如图 11 所示,70 阶拉格朗日插值滤波器对不同频率输入信号的校准效果如图 12 所示。

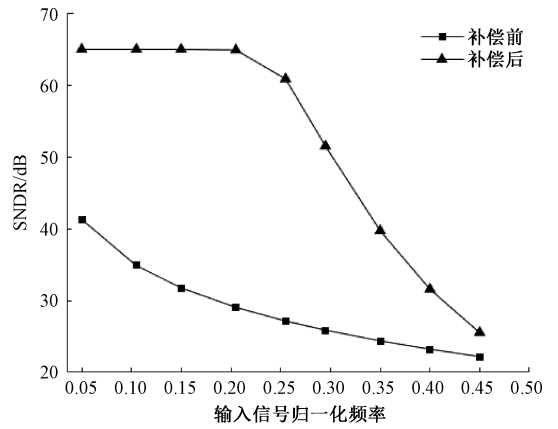


图 10 不同频率输入信号下的 SNDR 曲线 (10 阶拉格朗日滤波器)

Fig. 10 SNDR curves diagram under different frequency input signals (The tenth-order Lagrangian filter)

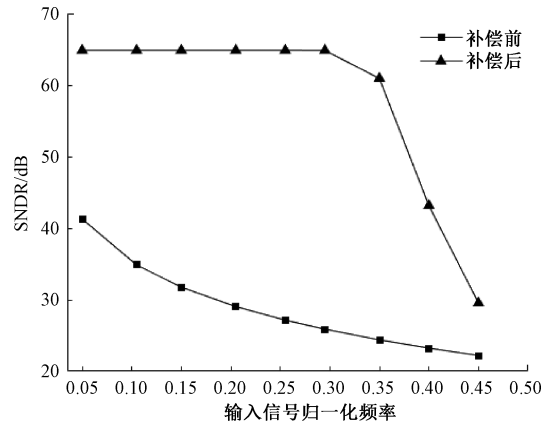


图 11 不同频率输入信号下的 SNDR 曲线 (30 阶拉格朗日滤波器)

Fig. 11 SNDR curves diagram under different frequency input signals (the thirtieth-order Lagrangian filter)

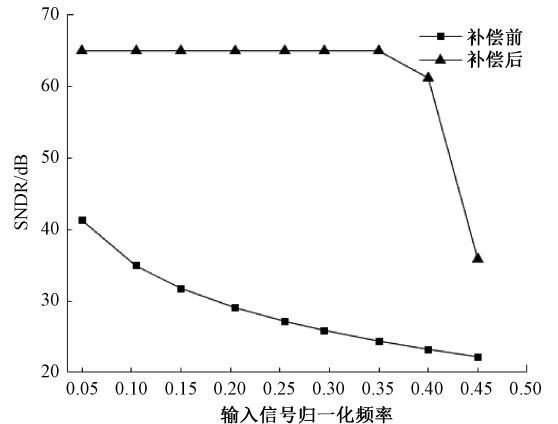


图 12 不同频率输入信号下的 SNDR 曲线 (70 阶拉格朗日滤波器)

Fig. 12 SNDR curves diagram under different frequency input signals (the seventieth-order Lagrangian filter)

从图 10 可以看出,用 10 阶拉格朗日插值滤波器校准时间误差时,当输入信号归一化频率小于 0.2 时,校准后的 SNDR 可以保持在 65 dB 左右,但是当输入信号归一化频率大于 0.2 后,校准后的 SNDR 逐渐下降,说明当输入信号归一化频率大于 0.2 时,10 阶拉格朗日插值滤波器的校准效果较差。

从图 11 可以看出,用 30 阶拉格朗日插值滤波器校准时间误差时,当输入信号归一化频率大于 0.3 后,校准后的 SNDR 才开始逐渐下降。

从图 12 可以看出,用 70 阶拉格朗日插值滤波器校准时间误差时,当输入信号归一化频率大于 0.35 后,校准后的 SNDR 才开始逐渐下降。

从以上结果总结出以下规律:当输入信号的频率较大时,需要较高阶数的拉格朗日插值滤波器校准时间误差,才能达到较好的校准效果。但是,本文提出的基于埃特金逐步插值滤波器的时间误差校准方法不需要考虑阶数的选择,可以自动地调节滤波器的阶数。对比图 12 和图 6 可以看出,70 阶拉格朗日插值滤波器和本文提出的埃特金逐步插值滤波器能达到相同的时间误差校准效果,但是埃特金逐步插值滤波器能自动调节滤波器的阶数,比阶数固定的拉格朗日插值滤波器更灵活,从图 7 可以看出,当输入信号的归一化频率大于 0.4 时,埃特金逐步插值滤波器的平均阶数才等于 70,当输入信号的归一化频率小于 0.4 时,埃特金逐步插值滤波器的平均阶数小于 70。

3 实验验证

本文用于验证的硬件平台为:Keysight 公司开发的 5 插槽 AXIe 机箱 M9505A,AXIe 高性能嵌入式控制器 M9536A,AXIe 数字化仪/宽带数字接收机 M9703A,以及信号发生器 33 600 A。其中,M9703A 是一个 8 通道、12 位分辨率的数据采集仪,每个通道的采样率为 1.6 GSPS,可以用两通道交织采样使采样率达到 3.2 GS/s,背板提供数据传输速度为 1.1 GB/s 的 PCIe 总线。M9536A 是一台拥有 AXIe 总线的 PC 机,用于运行上位机软件,通过 IVI 驱动器控制 M9703A,分析采集的数据。如图 13 所示为硬件的系统框图。

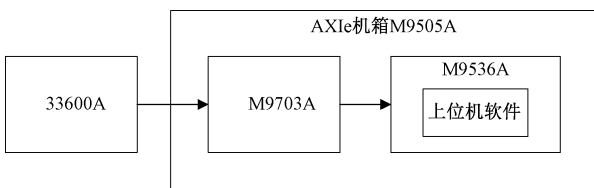


图 13 硬件系统框图

Fig. 13 Block diagram of the hardware system

本次实验中,开启 M9703A 的两通道交织采样功能,设置采样率为 3.2 GSPS,埃特金逐步插值滤波器的余项阈值 ϵ 设为 0.000 02,最大阶数设为 70。用 33600A 输出一个幅度为 $1 V_{pp}$,频率为 40 MHz 的正弦波信号。用 M9703A 获取采集数据,校准偏置误差、增益误差和时间误差后,用 MATLAB 分析校准前和校准后的频谱图,分别如图 14 和 15 所示。其中,偏置误差和增益误差校准算法使用文献[16]的累加平均法和平均功率法,时间误差估计算法采用文献[17]的 LMS 迭代算法。

如图 14 所示,校准前,1.56 GHz 处存在杂散分量,幅度为 -64.36 dB。该校散分量时是由增益误差和时间误差引入的。校准后,如图 15 所示,1.56 GHz 处的杂散分量基本降到噪底,杂散分量幅度为 -87.21 dB,SNDR 也从校准前的 49.3 dB 提高到 49.53 dB。从以上实验结果可得出结论:时间误差引起的杂散分量基本降到噪底,说明本文基于埃特金逐步插值滤波器的 TIADC 时间误差校准方法有明显的校准效果。

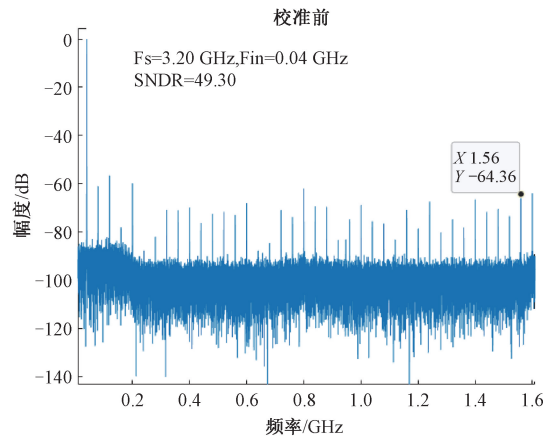


图 14 校准前的频谱图

Fig. 14 Spectrum diagram before calibration

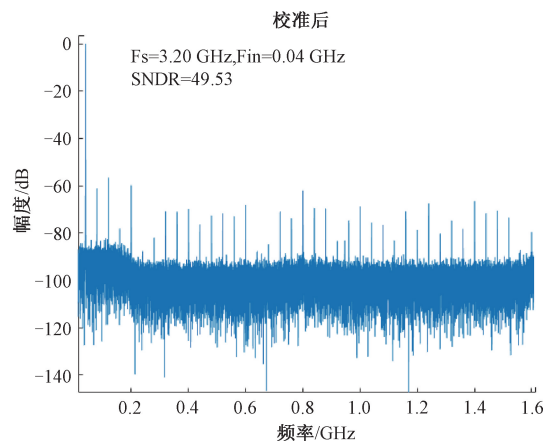


图 15 校准后的频谱图

Fig. 15 Spectrum diagram after calibration

4 结 论

本文提出了基于埃特金逐步插值滤波器的 TIADC 系统采样时间误差校准方法,采用埃特金逐步插值算法对有时间误差的采样点进行插值,从而计算出理论采样点,以达到校准时间误差的目的。该校准方法的滤波器能根据输入信号的频率和设定的精度要求自动调节阶数。本文的仿真结果表明,该校准方法能有效地校准时间误差,抑制时间误差引起的杂散分量,提高 TIADC 系统的 SNDR,适用于不同频率的输入信号。本文的校准方法与基于拉格朗日插值滤波器的时间误差校准方法相比,两者的时间误差校准效果基本相同,但是本文的校准方法能自动调节滤波器的阶数,比基于拉格朗日插值滤波器的时间误差校准方法更灵活。实验结果也验证了本文校准方法的有效性。

参考文献

- [1] BLACK W C, HODGES D A. Time interleaved converter arrays[J]. IEEE Journal of Solid-State Circuits, 1980, 15(6): 1022-1029.
- [2] VOGEL C. The impact of combined channel mismatch effects in time-interleaved ADCs[J]. IEEE Transactions on Instrumentation and Measurement, 2005, 54(1): 415-427.
- [3] WEI H G, ZHANG P, SAHOO B D, et al. An 8 Bit 4 GS/s 120 mW CMOS ADC[J]. IEEE Journal of Solid-State Circuits, 2014, 49(8): 1751-1761.
- [4] 曹宇, 苗澎, 黎飞, 等. 一种时间交织 ADC 采样时间误差校正方法[J]. 微电子学, 2020, 50(5): 669-674.
- CAO Y, MIAO P, LI F, et al. A sampling time mismatch calibration algorithm for time-interleaved ADC [J]. Microelectronics, 2020, 50(5): 669-674.
- [5] LI J, WU S Y, LIU Y, et al. A digital timing mismatch calibration technique in time-interleaved ADCs[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 61(7): 486-490.
- [6] DUAN Y D, ALON E. A 12.8 GS/s time-interleaved ADC with 25 GHz effective resolution bandwidth and 4.6 ENOB[J]. IEEE Journal of Solid-State Circuits, 2014, 49(8): 1725-1738.
- [7] 杨扩军, 田书林, 蒋俊, 等. 基于 TIADC 的 20 GS/s 高速数据采集系统[J]. 仪器仪表学报, 2014, 35(4): 841-849.
- YANG K J, TIAN SH L, JIANG J, et al. 20 GSPS high speed data acquisition system based on TIADC [J]. Chinese Journal of Scientific Instrument, 2014, 35(4): 841-849.
- [8] GAO J, YE P, ZENG H, et al. An adaptive calibration technique of timing skew mismatch in time-interleaved analog-to-digital converters [J]. Review of Scientific Instruments, 2019, 90(2): 25102.
- [9] QIU Y T, ZHOU J, LIU Y J, et al. An adaptive blind calibration technique for frequency response mismatches in M-Channel time-interleaved ADCs [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(4): 702-706.
- [10] YIN M W, YE Z F. First order statistic based fast blind calibration of time skews for time-interleaved ADCs[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 67(1): 162-166.
- [11] KHAKPOUR A, KARIMIAN G. A new fast convergent blind timing skew error correction structure for TIADC[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(4): 1512-1516.
- [12] 崔文涛, 李杰, 张德彪, 等. 基于国产 ADC 芯片的 TIADC 系统时间误差自适应校准算法[J]. 仪器仪表学报, 2021, 42(11): 132-139.
- CUI W T, LI J, ZHANG D B, et al. TIADC system time error adaptive calibration algorithm based on domestic ADC chip[J]. Chinese Journal of Scientific Instrument, 2021, 42(11): 132-139.
- [13] CHEN H M, PAN Y S, YIN Y S, et al. All-digital background calibration technique for timing mismatch of time-interleaved ADCs [J]. Integration, 2017, 57: 45-51.
- [14] ABBASZADEH A, AGHDAM E N, ROSADO-MUÑOZ A. Digital background calibration algorithm and its FPGA implementation for timing mismatch correction of time-

interleaved ADC [J]. *Analog Integrated Circuits and Signal Processing*, 2019, 99(2): 299-310.

- [15] 杨扩军. TIADC 系统校准算法研究与实现[D]. 成都: 电子科技大学, 2015.

YANG K J. Research and implementation of mismatches calibration algorithm in TIADC system [D]. Chengdu: University of Electronic Science and Technology of China, 2015.

- [16] 贾逸群. 多通道时间交织高速采样算法研究及 FPGA 实现[D]. 南京: 南京航空航天大学, 2018.

JIA Y Q. Research on multi-channel time-interleaved high speed sampling algorithm and FPGA design [D]. Nanjing: Nanjing University of Aeronautics and Astronautics, 2018.

- [17] 尹勇生, 潘云胜, 陈红梅. 一种时间交织 ADC 的时间失配后台校准算法[J]. *华中科技大学学报(自然科学版)*, 2016, 44(2): 56-60.

YIN Y SH, PAN Y SH, CHEN H M. Background calibration algorithm for time-interleaved ADCs time mismatches [J]. *Journal of Huazhong University of Science and Technology (Natural Science Edition)*, 2016, 44(2): 56-60.

作者简介



E-mail: xcp@guet.edu.cn

Xu Chuanpei received her B. Sc. and M. Sc. degrees both from Guilin University of Electronic Science and Technology in 1990 and 2001, and received her Ph. D. degree from Xi'an University of Electronic Science and Technology in 2006. She is currently a professor at Guilin University of Electronic Science and Technology. Her main research interests include automatic measurement technology and intelligent instrument, integrated circuit test theory and technology.



江林(通信作者), 2019 年于桂林电子科技大学获得学士学位, 现为桂林电子科技大学硕士研究生, 主要研究方向为自动测试总线与系统。

E-mail: chuanpeixu7512@163.com

Jiang Lin (Corresponding author) received his B. Sc. degree from Guilin University of Electronic Technology in 2019. He is currently a master student at Guilin University of Electronic Technology. His main research interest is automatic test bus and system.